MANUEL TECHNIQUE DU TO7 et TO7-70

Michel Oury



cedic
nathan

Dans la même collection

Initiation au BASIC TO7 — *Christine et François-Marie Blondel.*

Le BASIC D.O.S. du TO7 — *Christine et François-Marie Blondel.*

Un ordinateur à la maison — *Jean Delcourt.*

Un ordinateur en fête — *Serge Pouts Lajus*

Un ordinateur et des jeux — *Jean-Pascal Duclos.*

LOGO, Manuel de référence — *Doris Avram — Tristan Savatier — Michèle Weidenfeld et l'équipe de S.O.L.I.*

Initiation à LOGO — *Doris Avram - Michèle Weidenfeld.*

Guide du MOS — *André Deledicq*

Faites vos jeux en assembleur sur TO7 et TO7-70 — *Michel Oury*

Manuel de l'assembleur du 6809 et du TO7 et TO7-70 — *Michel Weissgerber.*

Initiation au FORTH — *S.E.F.I.*

Ce volume porte la référence
ISBN 2-7124-0553-6

CEDIC, 32, boulevard Saint-Germain, 75005 - PARIS

Sommaire

1. Introduction

2. Circuits

3. Entrées/sorties

4. Interfaces

5. Le moniteur

6. Les trucs du TO7

1. Introduction

Qui n'a pas songé un jour à changer son clavier où à créer sa propre extension mémoire ? J'ai des collègues qui veulent utiliser leur TO7 comme un automate et ils ont besoin pour cela de fabriquer leurs propres cartes d'interface Entrées/Sorties avec découplage optique, filtrage programmable des entrées et sorties de puissance sur triac 400V/1A. D'autres veulent que le TO7 se transforme en un super régulateur de chaudière surveillant les températures intérieures de leur pavillon, ainsi que la température extérieure, et en fonction de l'heure du jour ou de la nuit déclenchant tel ou tel système de chauffage. Il leur faut dans ce cas des convertisseurs analogiques/numériques et quelques sorties de commande de relais.

Tel musicien va vouloir enregistrer sur son lecteur de bandes haute-fidélité, les morceaux à plusieurs voix qu'il aura synthétisé avec son extension jeux, et se demande s'il peut relier la sortie son PERITEL à l'entrée AUX de son magnétophone. Tel autre veut relier entre eux deux TO7 via l'interface RS232, mais se demande dans quel état vont être les signaux transmis dans plusieurs dizaines de mètres de cable.

Le but de cet ouvrage est de répondre à toutes ces questions. En fournissant tous les schémas, toutes les connexions ; en analysant totalement le fonctionnement tant hardware que software ; en indiquant quel signal et quel niveau apparaît sur les différents connecteurs, chacun pourra brancher son extension sur le bus standard, supprimer le BEEP du clavier s'il possède la version 2 du moniteur...

En bref tout est dévoilé dans les pages qui suivent afin de permettre à l'heureux possesseur du TO7 de tirer le maximum de profit de son micro-ordinateur et de l'adapter au mieux de ses exigences personnelles.

M. OURY

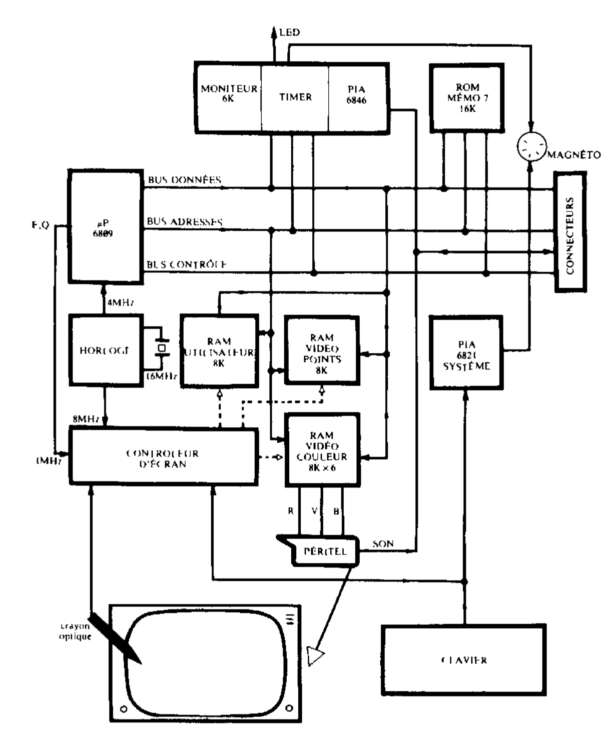
Les renseignements techniques ci-après peuvent évoluer avec les nouveaux **modèles** du TO7 tenant compte des diverses inovations technologiques et des **mises à** jour seront faites dans les futures éditions.

2. Les circuits

2.1 Conception générale

Le micro-ordinateur TO7 est conçu autour d'un microprocesseur 6809, 8 bits recevant un signal d'horloge à 4 MHz et générant deux signaux en quadrature de phase E et Q à 1 MHz.
Le moniteur du système occupe 6 K octets de mémoire morte, repartis entre une ROM 2532 de 4K et la partie mémoire du circuit composite 6846 qui contient en outre un temporisateur programmable générant les signaux d'échange avec le magnétophone à cassette, et un port parallèle 8 bits aux fonctions internes multiples (LED minuscules, SON, gestion du crayon optique, etc.).
La ROM 2532 est le circuit U3 du plan général, le 6846 étant le circuit U1.
La mémoire vive est dynamique (RAM 4116) et nécessitera donc un rafraîchissement pendant le 1/2 cycle non actif du 6809. Une partie de cette mémoire est réservée à l'utilisateur, soit 8 K octets donc 8 boîtiers de RAM 4116 utilisés à moitié. Une extension RAM de 16 K est possible afin de porter la mémoire à 24 K octets.
L'écran étant composé de 320 × 200 = 64000 points, la mémoire d'écran nécessite donc 8000 octets qui seront logés dans les 8 K restants des boîtiers de RAM 4116 précédents. (On remarquera au passage que 8 K octets représentent en fait 8192 octets. La mémoire d'écran ne nécessitant que 8000 octets, 192 octets restent libres et pourront servir éventuellement à l'implantation de langage machine).
Les huit couleurs du TO7 sont obtenues par combinaison des 3 couleurs de base : Le Rouge (R), le Vert (V) et le Bleu (B).
Dans un octet de mémoire d'écran chaque point pourra avoir soit la couleur du FOND, soit la couleur de la FORME. Pour coder ces deux couleurs possibles il faudra donc 2 × 3 bits, soit 6 bits (RVBfond, RVBforme). Et puisqu'il y a 8000 octets écran, il faudra donc une RAM couleur de 8000 × 6 bits, soit 8 K × 6 bits.
Cette RAM couleur a été réalisée à l'aide de 6 boîtiers de RAM 4116 qui fournissent donc 16 K × 6 bits. Seuls les 8 K du bas sont utilisés et implantés aux mêmes adresses que les 8 K octets de RAM points. Les 8 K × 6 bits restant dans la RAM couleur sont inutilisés, et n'existent plus sur le TO7-70.
Par ailleurs des mémoires mortes sont introduites sous forme de cartouche MÉMO 7 et contiennent les divers langages, jeux, utilitaires, etc. Leur taille adresse maximale est de 16 K octets, mais des cartouches de 32 K (ex. : L.S.E.) ou 64 K sont réalisées par recouvrement de "banques" de 16 K.
La gestion de cet ensemble mémoire nécessitera :
— un système de contrôle d'écran,
— un système de décodage d'adresse.
C'est également ce système de décodage qui permettra d'adresser les divers circuits de gestion des périphériques :
— Le PIA 6821 système qui gère le clavier et le crayon optique ainsi que le moteur du lecteur-enregistreur de programmes (LEP),
— le PIA 6821 de gestion des manettes de jeux et de synthèse sonore (CNA),
— le PIA 6821 de l'interface RS232 et CENTRONICS.
— etc.
Le TO7-70 (ou TO7 modèle 2) est sensiblement différent des deux premières versions (T9000 et TO7 modèle 1) puisqu'il gère 16 couleurs d'écran et fournit 48 K RAM utilisateur extensibles à 112 K par banques de 16 K. Toutefois son fonctionnement suit les mêmes principes que ces prédécesseurs et l'on trouvera en fin d'ouvrage les explications concernant la gestion des couleurs et des "banques" de RAM.

ORGANISATION GÉNÉRALE DU TO7



2.2 Analyse de la gestion d'écran

L'écran utilisé pour la visualisation est un téléviseur standard de 625 lignes, soit 312 lignes en mode non entrelacé. Le balayage complet d'une trame sera décrit en 20 ms environ et chaque ligne ne devra donc durer que 20/312 = 0.064 ms.

Dans cette durée ligne de 64µs se trouvent :

— la durée de traversée de l'écran ≃ 54µs,

— la durée du retour à la ligne suivante ≃ 10µs.

L'écran va comporter deux zones principales :

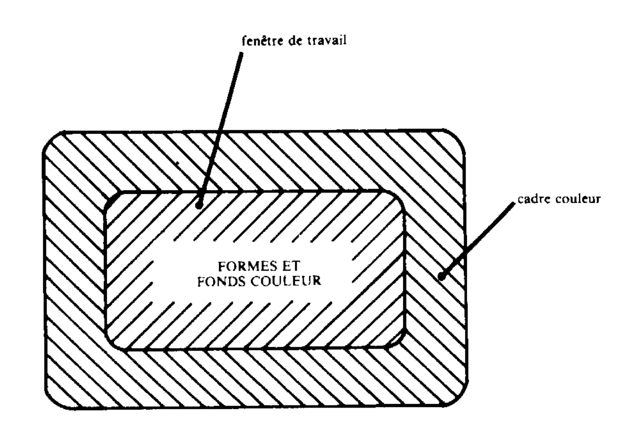
— le cadre (appelé aussi le TOUR), dans lequel on ne peut pas écrire, mais dont on peut définir la couleur,

— la fenêtre de travail, qui comme son nom l'indique est la zone réelle de l'affichage vidéo.

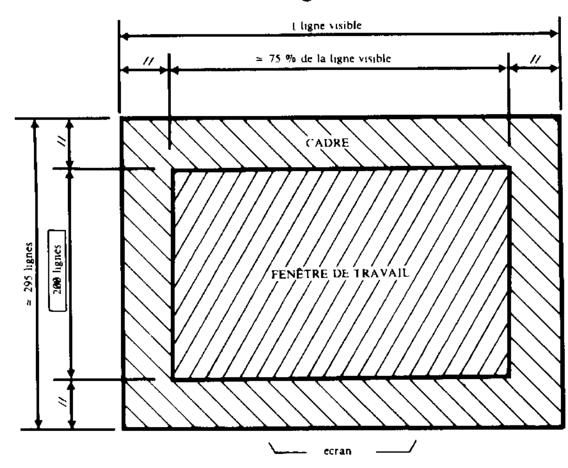
Une ligne visible (54µs) sera supposée démarrer le long du bord gauche de la fenêtre de travail. Pendant 40µs le faisceau balayera la partie fenêtre de la ligne. Pendant 7µs il balayera la partie droite du cadre de l'écran. Pendant 10µs environ il reviendra à la ligne suivante, et pendant les 7µs restantes il viendra se recaler le long de la fenêtre.

On réalise une définition de la fenêtre de travail de 320 points par ligne et de 200 lignes.

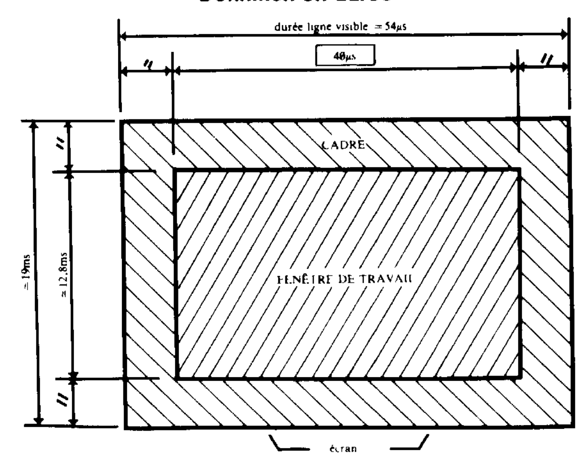
PRINCIPE GÉNÉRAL



Définition en géométrie



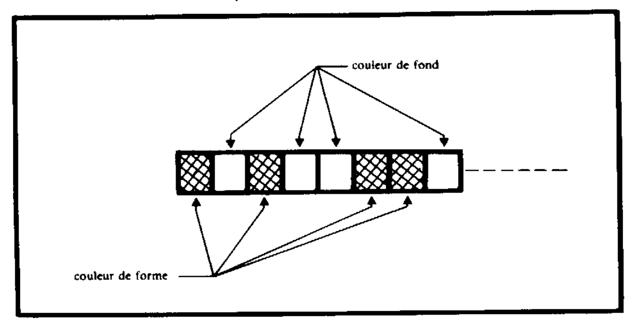
Définition en durée



A — Mémorisation des points-couleurs

Les points vidéos sont rangés 8 par 8 dans les mémoires RAM 4116. Chaque groupe de 8 points, appelé GPL (groupe de points ligne) est donc obtenu par lecture des 8 boîtiers RAMS à une adresse donnée (par exemple $ 4ØØØ pour le premier GPL de la fenêtre).
Chaque point du groupe peut être dans la couleur "FORME" s'il est à 1 et dans la couleur du "FOND" s'il est à Ø.

EXEMPLE D'UN GPL (4 points forme, 4 points fond)



Un bit à 1 sera un bit de FORME.
Un bit à Ø sera un bit de FOND.
La couleur de la forme se matérialise par 3 bits R_1 V_1 B_1 dans la mémoire vive appelée RAM couleur forme.
La couleur du fond se matérialise par 3 bits $R_Ø$ $V_Ø$ $B_Ø$ dans la mémoire vive appelée RAM couleur fond.
On peut obtenir les 8 couleurs (NOIR, ROUGE, VERT, JAUNE, BLEU, MAGENTA, CYAN, BLANC) par mélange des 3 couleurs de base Rouge, Vert, Bleu.
Un bit à 1 indique la présence de la couleur de base.
Un bit à Ø indique l'absence de la couleur de base.
La synthèse des teintes s'obtiendra donc conformément au tableau ci-dessous.

Sur le TO7-7Ø les teintes "pastel" obtenues sont :
GRIS, ROSE, VERT CLAIR, JAUNE POUSSIN, BLEU CIEL, ROSE PARME, CYAN CLAIR et ORANGE.
La définition complète d'un GPL nécessite donc un octet de mémoire vive pour définir les points et 6 bits de RAM pour le choix couleur FORME et FOND.
La RAM points doit contenir 32Ø × 2ØØ = 64ØØØ points donc 8 K octets.
La RAM couleur doit contenir 8 K × 6 bits.

CODES DE MÉMORISATION

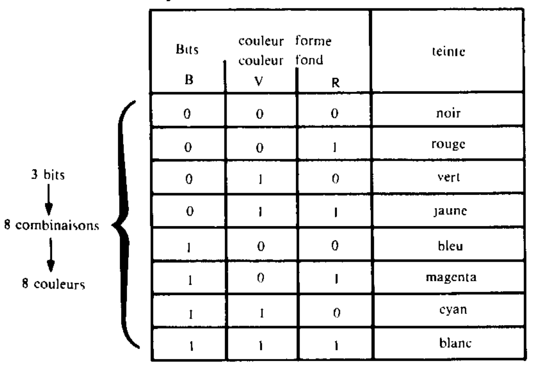
RAM points

bit de forme	1	pour 1 octet
bit de fond	0	

RAMS couleurs

bit présence couleur	1	pour 3 bits
bit absence couleur	0	

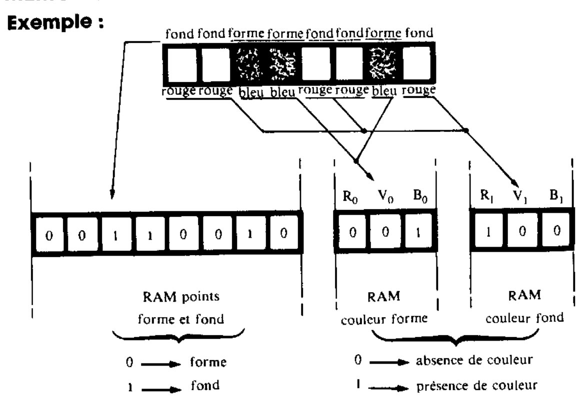
Synthèse des couleurs



Bits B	couleur couleur V	forme fond R	teinte
0	0	0	noir
0	0	1	rouge
0	1	0	vert
0	1	1	jaune
1	0	0	bleu
1	0	1	magenta
1	1	0	cyan
1	1	1	blanc

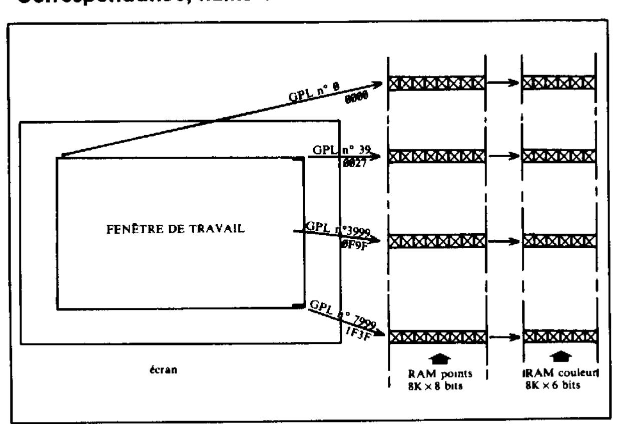
MÉMORISATION D'UN GPL

Exemple :

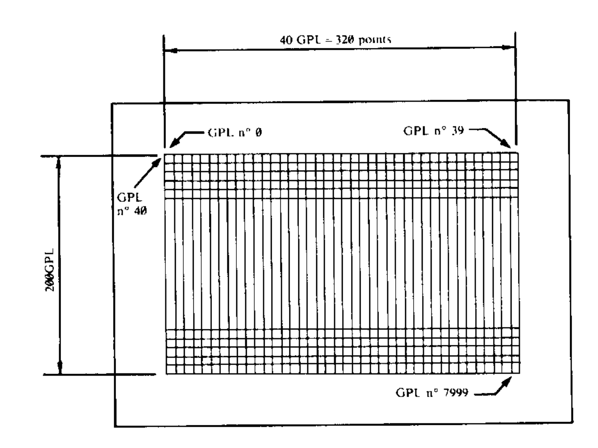


Ces deux mémoires ont un adressage commun de 8000 adresses, chaque adresse correspondant au numéro d'ordre du GPL sur l'écran.

MÉMORISATION DES GPL
Correspondance, numéro d'ordre et case mémoire.



EXEMPLE DE REPÉRAGE DE GPL

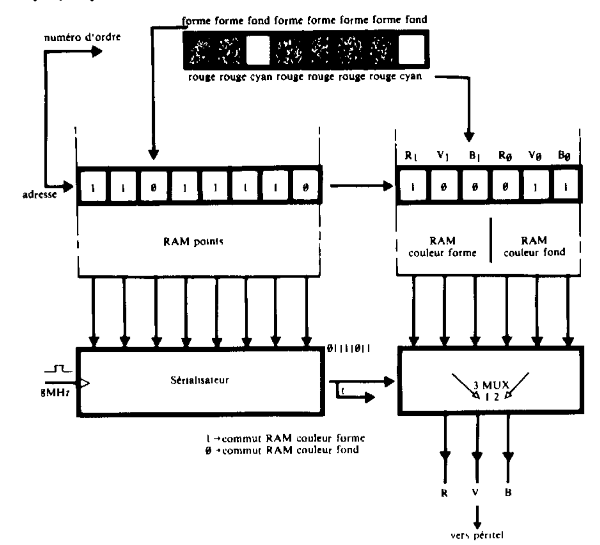


Pour obtenir sur le TO7-70 les couleurs pastels, on utilisera 1 bit supplémentaire indiquant le mode 1/2 teinte fond et 1 autre bit pour indiquer le mode 1/2 teinte forme. La RAM couleur contiendra alors 8 K octets comme la RAM points.

B — Restitution des points-couleurs

Soit à restituer sur l'écran le GPL n° Ø (coin haut gauche de la fenêtre). Communiquons aux RAMS points et couleurs l'adresse ØØØØ de ce GPL (adresse absolue $4ØØØ).
On récupère alors en parallèle les 8 bits points et les 2×3 bits couleur, et le problème est alors le suivant :
1. Il faut envoyer sur la prise PERITEL les niveaux RVB du premier point, puis du second... jusqu'au huitième.
2. La durée totale de cette restitution vidéo doit être de 1µs puisqu'il y a 4Ø GPL le long d'une ligne de la fenêtre et que cette ligne-fenêtre doit être écrite en 4Øµs.
La première partie du problème montre la nécessité de sérialiser les bits récupérés en parallèle à la sortie de la RAM points. La valeur de chaque bit, Ø ou 1, doit permettre la sélection soit du groupe $R_ØV_ØB_Ø$ de couleur FOND soit du groupe $R_1V_1B_1$ de couleur FORME d'ou l'utilisation d'un multiplexeur de 3 fois 1 parmi 2, adressé par le bit en provenance du registre de conversion parallèle → série.

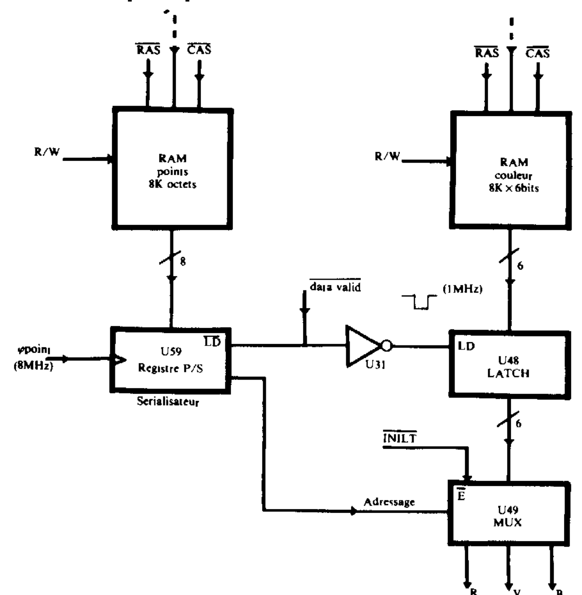
Exemple d'un GPL à restituer en signaux péritélévision R, V, B pendant un échantillon de temps de 1µs



La deuxième partie du problème montre la nécessité du sérialiser les 8 bits à la fréquence de 8 MHz afin de traiter la totalité du GPL en 1µs.
On obtient donc le schéma de principe ci-contre :

Dans le TO7-7Ø le bit supplémentaire de 1/2 teinte sera également multiplexé et envoyé avec les 3 bits de couleurs RVB vers un circuit spécialisé avant la liaison à la prise PERITEL.
Le schéma complet du système de restitution, utilise une validation toutes les µs des informations présentes en entrée du registre Parallèle/Série et du LATCH couleur, ainsi qu'un signal interdisant toute sortie d'information RVB du multiplexeur, en dehors de la fenêtre de travail, et plaçant alors les sorties du multiplexeur U49 en état haute-impédance ($\overline{\text{INILT}}$).
Les adresses des RAMS points et couleur sont décodées à l'aide des signaux $\overline{\text{RAS}}$ et $\overline{\text{CAS}}$.
La génération de ces différents signaux ($\overline{\text{DATA VALID}}$, $\overline{\text{INILT}}$, $\overline{\text{RAS}}$, $\overline{\text{CAS}}$) sera étudiée dans la suite de l'ouvrage (chapitres 2.4 et 2.7).

RESTITUTION D'UN GPL
Schéma de principe



C — Génération de la couleur du cadre

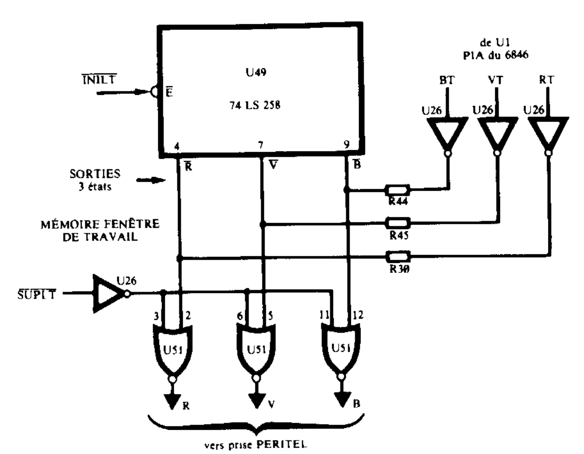
La couleur du cadre est réalisée selon le même principe que la couleur des points, par mélange des 3 couleurs de base $R_T V_T B_T$. Trois bits seront donc nécessaires pour coder la couleur du cadre.
On utilisera dans ce but les trois bits P_4, P_5, P_6 du port PRC du chip U1-6846.

D — Organisation des sorties vidéo RVB

Première remarque :
Les 3 sorties RVB du multiplexeur U49 sont en fait des sorties $\overline{R}\ \overline{V}\ \overline{B}$ car U49 est un multiplexeur inverseur. Il faudra donc inverser les sorties $R_T V_T B_T$ du port P afin d'homogénéiser la commande des couleurs.

Deuxième remarque :
Les couleurs du cadre sont disponibles en permanence. En effet on change rarement la couleur du cadre, alors que l'on change en permanence les couleurs des points de la fenêtre.
Mais les sorties $\overline{RVB}$ du multiplexeur passent à l'état haute impédance dès que l'on sort de la fenêtre.

CIRCUITS DE RACCORDEMENT

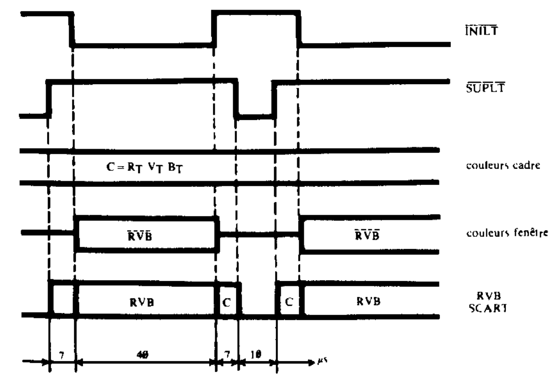


On peut alors, à l'aide de trois résistances anticonflit, associer les informations $\overline{RVB}$ en provenance du multiplexeur et destinées à la fenêtre de travail, et les informations $\overline{R}_T\overline{V}_T\overline{B}_T$ destinées au cadre et provenant du PIA 6846 après inversion dans U26.

Troisième remarque :
Il faut mettre au niveau noir les sorties RVB sur la prise SCART (Péritel) pendant les 1Ø ou 11 μs du retour ligne (ainsi que pendant le retour trame), d'où la nécessité d'un signal, haut pendant 54 μs et bas pendant 1Ø μs, signal $\overline{SUPLT}$ (suppression ligne trame) dont on étudiera la génération lors des programmes suivants.
L'organisation des circuits vidéo sera donc conforme aux schémas ci-dessous :

Fonctionnement

$\overline{INILT}$	$\overline{SUPLT}$	$R_T V_T B_T$	$\overline{RVB}$	RVB
Ø	1	X	Ø	1
Ø	1	X	1	Ø
1	1	Ø	Z	Ø
1	1	1	Z	1
X	Ø	X	X	Ø

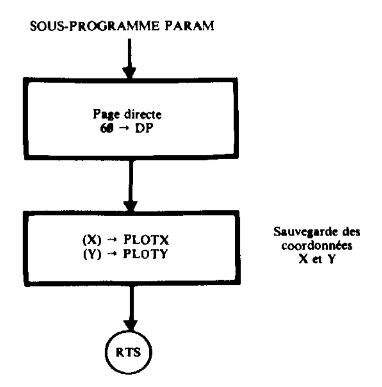


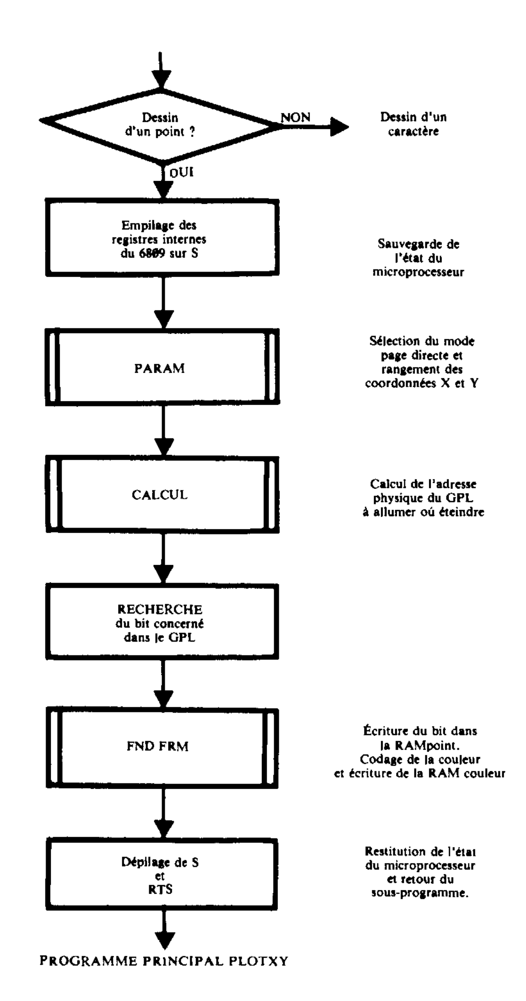
E — Exemple d'utilisation SOFT

Analyse de la routine PLOT XY du TO7 Modèle 1.
Cette routine est accessible à partir du point d'entrée PLOT $ ≡&HE80F qui contient une instruction JMP suivi de l'adresse exacte du point d'entrée. Cette routine est donc accessible quelle que soit la version du moniteur.
Avant l'appel de cette routine, il est nécessaire de mettre dans les registres d'index X et Y les coordonnées X et Y du point auquel on veut accéder. Le registre FORME ≡ &H6038 doit contenir la couleur du point : de 0 à 7 pour une couleur FORME (du noir au blanc) et de −1 à −8 pour une couleur de FOND (idem du noir au blanc).
Afin de signaler que l'on travaille en mode graphique, le registre CHDRAW≡&H6041 doit être mis à zéro.
Deux registres PLOTX et PLOTY seront utilisés pour conserver les coordonnées X et Y. (PLOTX≡&H603D et PLOTY≡&H603F).

Sur le TO7-70, la routine PLOTXY a accès aux 16 couleurs FORME et aux 8 couleurs FOND saturées en mode graphique. En mode caractère les 16 couleurs FOND sont accessibles. En mode graphique, le registre FORME contiendra la couleur du point :
— de −8 à 7 les couleurs sont saturées (de −8 à −1 pour le FOND de ∅ à 7 pour la FORME)
— de 8 à 15 les couleurs sont pastel pour la FORME
En mode caractère de −16 à −9 les couleurs sont pastel pour le FOND.

PARAM est un sous-programme qui fixe le mode page-directe en 60XX et sauvegarde les coordonnées dans PLOTX et PLOTY.



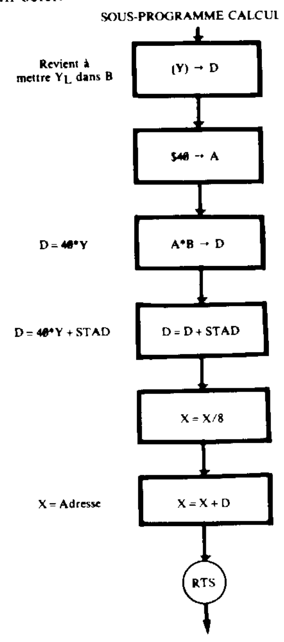


CALCUL est un sous-programme qui calcule l'adresse physique (mémoire) du GPL contenant le point à allumer ou éteindre. Soit STAD l'adresse du GPL n° Ø, alors l'adresse d'un point situé à la colonne X et la ligne Y est :

$$\text{Adresse} = Y*4Ø + STAD + X/8$$

Ce résultat sera rangé dans le registre X à la fin du calcul.

Remarque : une division par 8 revient à faire 3 décalages logiques successifs à droite d'un octet.



La **RECHERCHE** du bit concerné dans le GPL dont on vient de calculer l'adresse n'utilise que le n° de la colonne rangé en PLOTX. On remarquera que le bit de poids fort d'un GPL se trouve à un numéro de colonne pris dans la suite Ø, 8, 16, 32, 64... PLOTX étant une adresse 16 bits (PLOTX et PLOTX + 1), seuls les 3 bits de poids faible de cette adresse (donc de PLOTX + 1) nous indiquent la position du bit concerné dans le GPL :

Si $b_2b_1b_Ø$ = Ø → le bit 8 du GPL est concerné
Si $b_2b_1b_Ø$ = 1 → Le bit 7 du GPL est concerné
Si $b_2b_1b_Ø$ = 7 → Le bit 1 du GPL est concerné

A l'aide de la table TABIT = $8Ø, $4Ø, $2Ø, $1Ø, $8, $4, $2, $1, on pourra donc situer exactement le bit concerné dans le GPL d'adresse calculée.

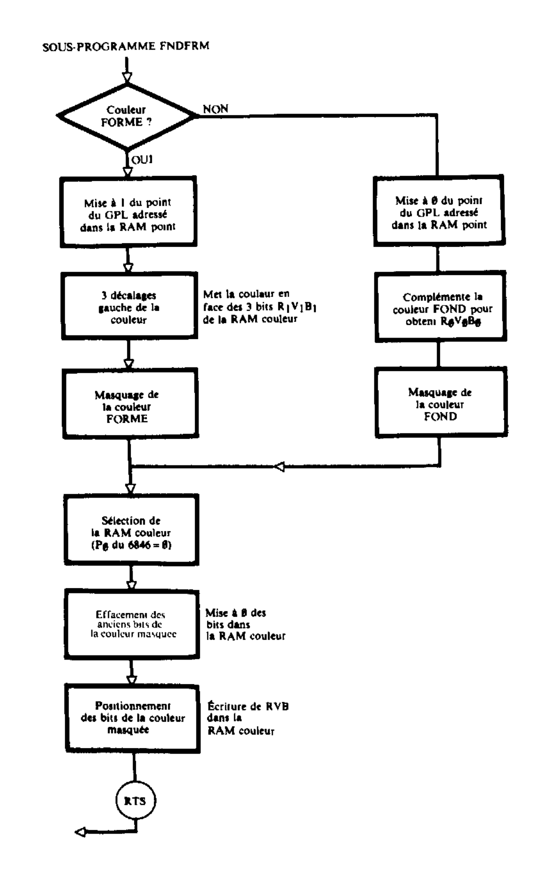
FNDFRM est un sous-programme qui détecte la présence d'une couleur FORME ou FOND, met à 1 ou à Ø le bit du GPL dans la RAM point, puis place à 1 les couleurs de base $R_1V_1B_1$ ou $R_ØV_ØB_Ø$, sélectionne la RAM couleur et y écrit les bits couleurs concernés.

C'est donc ce sous-programme qui accède aux RAMS points et couleur. L'adresse des ces RAMS est contenue dans le registre X depuis le programme calcul, la sélection entre la RAM points et la RAM couleur situées à la même adresse se fait grâce au bit $P_Ø$ du port parallèle du 6846. Ce port PRC ≡ &HE7C3 sélectionne la RAM point si $P_Ø$ est à 1 et la RAM couleur si $P_Ø$ est à Ø.

```
*
***** ALLUMAGE OU EXTINCTION D'UN POINT
*
PLOTXY   TST      >CHDRAW
SI CHDRAW # O, C'est un "caractere"
         BNE      CHPLOT
         PSHS     Y,X,B,A,DP
         BSR      PARAM
X = ADRESSE PHYSIQUE
         JSR      CALCUL
         LDY      #TABIT
         LDA      PLOTX+1
         ANDA     #7
A = RESTE DE X/8
         LDB      A,Y
B = BIT A ECRIRE
         JSR      FNDFRM
         PULS     Y,X,B,A,DP,PC
PARAM    LDA      #DIRECT
         TFR      A,DP
         STX      PLOTX
X=COLONNE(O,320)
         STY      PLOTY
Y = LIGNE(O,200)
         RTS
*
**** CALCUL ADRESSE PHYSIQUE ****
* ENTREE:(X,Y) SORTIE:X=ADRESSE PHYSIQUE
*
         XDEF     CALCUL
```

```
CALCUL  TFR     Y,D
Y+1 -> B
        LDA     #40
        MUL
        ADDD    #STAD
D = Y * 40 + STAD
        EXG     D,X
        LSRD
        LSRB
        LSRB
        LEAX    D,X
X = Y * 40 + STAD + X/8
        RTS
*
**** AFFICHAGE FORME ET COULEUR ***
*
* ENTREE : B = BITS A ECRIRE, X = A
DRESSE PHYSIQUE, FORME = COULEUR
*
FNDFRM  LDA     FORME
TEST DE FOND OU FORME -8 A +15
        BMI     ZERO
        ORB     X
        STB     X
        LSLA
        LSLA
        LSLA
        LDB     #%10000111
MASQUAGE DE LA COULEUR FORME
        BRA     SUITE
ZERO    COMB
        ANDB    X
        STB     X
        COMA
(2,1,0) <-- COMPLEMENT (2,1,0)
        LDB     #%11111000
MASQUAGE DE LA COULEUR FOND
SUITE   DEC     PRC
MISE EN MEMOIRE COULEUR
        ANDB    X
MISE A 0 DES BITS DE COULEUR FORME
        STB     X
        ADDA    X                   P
OSITIONNEMENT DES BITS DE COULEUR FORME
        STA     X
        RTS
```

```
*
***** TABLE DES BITS A ALLUMER OU E
TEINDRE *****
TABIT   FCB     $80,$40,$20,$10,$
8,$4,$2,$1
```



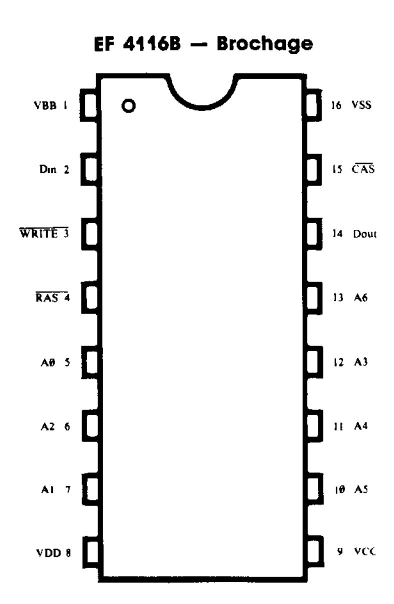
2.3 Fonctionnement de la mémoire vive

A — Fonctionnement d'une RAM dynamique 4116

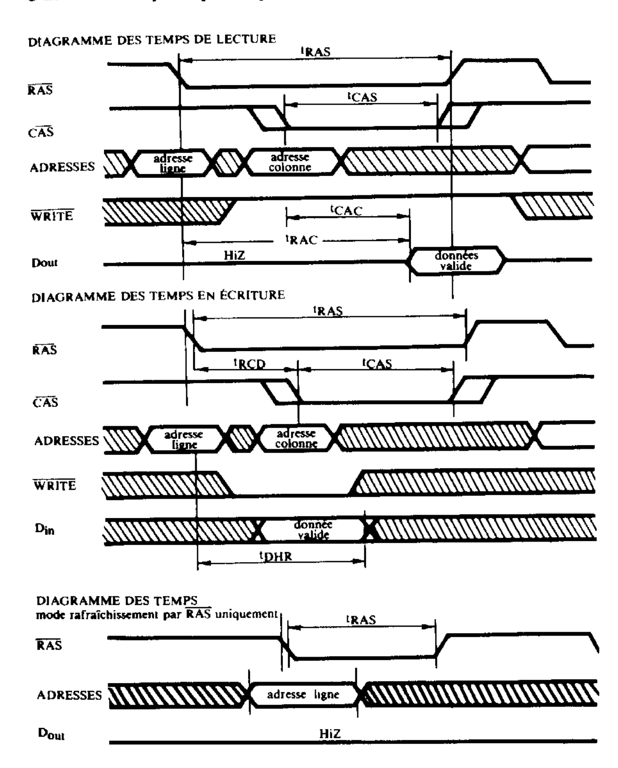
Une RAM dynamique 4116 peut stocker 16K × 1 bit sous forme d'une matrice de $2^7 = 128$ lignes et 128 colonnes. L'adressage d'une telle matrice nécessite donc 14 bits. En fait seuls 7 bits d'adresse (A_0 à A_6) permettent la gestion de la mémoire et sont multiplexés tantôt vers le bloc d'adresses lignes, quand le signal devalidation ligne $\overline{RAS}$ passe à 0, puis vers le bloc d'adresse colonnes, quand le signal de validation colonnes $\overline{CAS}$ passe à 0.
D'autre part ces mémoires MOS étant dynamiques, elles nécessitent un rafraîchissement de cycle ≤ 2ms.

Le rafraîchissement se fait par adressage successif des 128 lignes. A chaque ligne adressée, si $\overline{RAS}$ est à zéro, les 128 transistors placés aux intersections de cette ligne avec les 128 colonnes sont simultanément rafraîchis.

EF 4116B — Brochage



EF4116B
Caractéristiques principales



B — Organisation du système mémoire

La mémoire vive du TO7 est constituée de :
T9000 et TO7 modèle 1
— *Mémoire utilisateur :*
8 K octets
16 K octets en extension

— *Mémoire écran :*
8 K octets points
8 K × 6 bits couleur
TO7-7Ø
48 K octets
64 K octets en extenstion
8 K octets points
8 K octets couleur
L'analyse du fonctionnement portera sur le TO7 modèle 1, mais le principe est identique pour le TO7-7Ø.
Dans 8 boîtiers de RAM 4116 se trouvent (U66-U73) :
— les 8 **K** octets de **RAM** point (Adresses basses A13 = Ø).
— les 8 K octets utilisateurs (Adresses hautes A13 = 1).
Dans 6 autres boitiers (U6Ø-U65) se trouvent :
— les 8 K × 6 bits de **RAM** couleur (Adresses basses $A_{13} = Ø$)
— 8 K × 6 bits non utilisés
Les 8 K de RAM points et de RAM couleur sont aux mêmes adresses.

Principe fondamental :

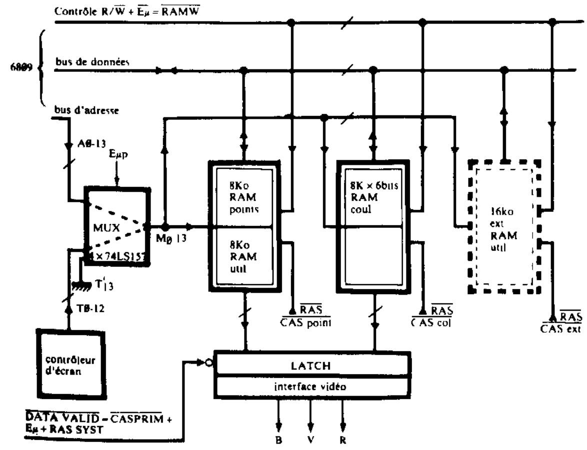
1. Pendant la phase active du 68Ø9 : $E\mu = 1$
Le microprocesseur a accès aux mémoires vives, aussi bien en lecture qu'en écriture.
Les informations contenues dans les RAMS points et couleur ne sont pas communiquées à l'interface vidéo → DATAVALID = 1
2. Pendant la phase non active du 68Ø9 : $E\mu = Ø$
Les mémoires vives ne sont plus adressées par le 68Ø9, mais par un compteur appartenant au contrôleur d'écran. Le bus de données n'étant pas actif pendant $E\mu = Ø$, seule la **lecture** des informations **vidéo** doit être possible. D'où la nécessité de n'adresser que les 13 bits de poids faible à l'aide du compteur en maintenant le 14[e] bit à Ø pour n'avoir accès qu'à la partie basse 8 K des RAMS. Nécessité également de placer automatiquement les RAMS en mode **lecture** seulement et de valider les échanges avec l'interface vidéo en portant $\overline{\text{DATAVALID}}$ à Ø.
Pendant cette période d'inactivité du μP il faut rafraîchir les 128 lignes, l'une après l'autre, de toutes les RAMS dynamiques y compris les 16 K octets de l'extension éventuelle. (ou les 64 K du TO7-7Ø).

Conclusion :

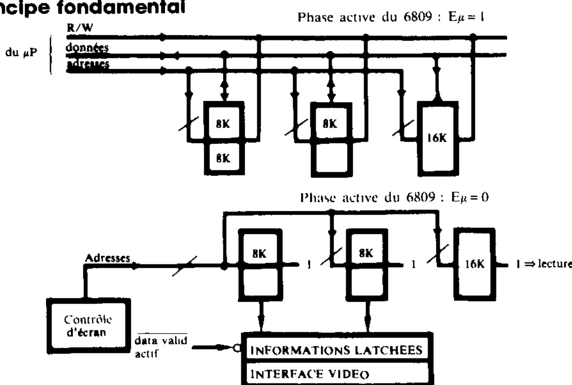
— L'entrée lecture-écriture ($\overline{\text{WRITE}}$) des RAMS doit être commandée par un signal
$\overline{\text{RAMW}} = R/\overline{W} + E\mu$ (R/W vient du 68Ø9)
Pendant la phase active $E\mu = 1$ → $\overline{\text{RAMW}} = R/\overline{W}$ et les mémoires sont commandées en lecture ou en écriture par le μP.
Pendant la phase non active $E\mu = Ø$ → $\overline{\text{RAMW}} = 1$ donc lecture seulement.
— Les 7 bits d'adresse AØ – A6 des RAMS recevront les bits en provenance du bus d'adresse du μP pendant $E\mu = 1$ (avec multiplexage LSB/MSB pour lignes/colonnes) puis les bits en provenance du compteur du contrôleur d'écran pendant $E\mu = Ø$ (avec également encore multiplexage LSB/MSB).

D'où la nécessaire réalisation d'un multiplexeur de 2 × 14 bits commandé par $E\mu$ (fréquence 1MHz) suivi d'un second multiplexeur de 2 × 7 bits qui enverra vers $A_Ø$-A_6 (RAM) tantôt les poids faibles tantôt les poids forts des adresses en provenance du premier multiplexeur. Ce deuxième multiplexeur sera donc commandé par un signal CAS PRIM de fréquence double du premier (donc 2MHz).
— Les adresses (AØ-A_6) étant renvoyées simultanément à toutes les RAMS dynamiques, aussi bien celles du SYSTÈME (RAMpoints / utilisateur / couleur) que celles de l'EXTENSION, la sélection d'un groupe particulier se fera par les signaux de commande $\overline{\text{RAS}}$ et $\overline{\text{CAS}}$ des 4116. Seront donc nécessaires les signaux :
— $\overline{\text{RAS SYST}}$ et $\overline{\text{RAS EXT}}$ (signaux identiques augmentant la sortance).
— $\overline{\text{CAS POINT}}$, $\overline{\text{CAS COL}}$ et $\overline{\text{CAS EXT}}$ sélectionnés selon l'adressage.

CIRCUITS DE MÉMORISATION
Organisation simplifiée

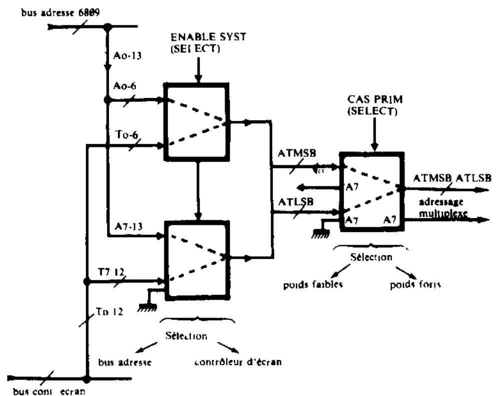


CIRCUITS DE MÉMORISATION
Principe fondamental



— Lorsque le multiplexeur des adresses commandé par le signal d'horloge Eμ du 6809 sélectionne les adresses en provenance du contrôleur d'écran, on ne doit pouvoir accéder qu'aux RAMS vidéo, c'est-à-dire à la moitié basse des 4116. Le compteur ne fournit donc que 13 bits T_0-T_{12}, le quatorzième étant systématiquement à Ø (T13).

MULTIPLEXAGE DES ADRESSES



8 boîtiers de multiplexeurs 74LS157 sont utilisés pour réaliser cet ensemble de multiplexage :

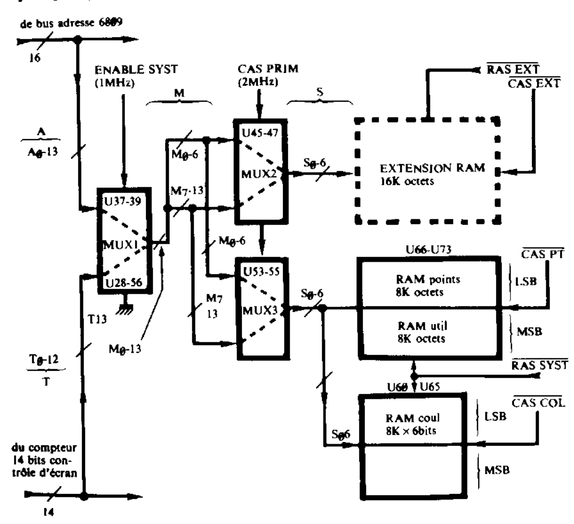
— MUX1 (boîtiers U37-39-28-56) → commutation adresses 68Ø9 et écran.

— MUX2 (boîtiers U45-47) → sélection ligne-colonne de l'extension RAM.

— MUX3 (boîtiers U53-U55) → sélection ligne-colonne de RAM points et utilisateur (avec $T_{13} = Ø$).

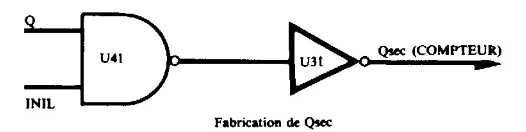
ADRESSAGE DES MÉMOIRES

Synoptique



C — Rafraîchissement automatique des mémoires vives

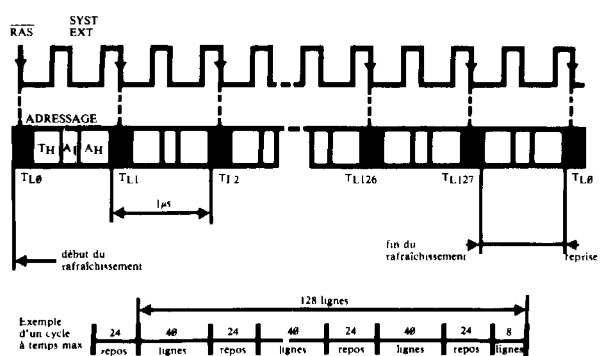
Le compteur du contrôleur d'écran reçoit un signal d'horloge Qsec de fréquence 1MHz, uniquement pendant les 40µs de validation de la fenêtre de travail. Pendant les 24 µs suivantes, le compteur reste au repos (sauf les 3 LSB qui continuent). Le signal de référence d'horloge 1MHz sera la sortie Q du 6809. Le signal de validation sera $\overline{\text{INIL}}$ (voir chapitres 2.4 et 2.7).
Qsec = Q.$\overline{\text{INIL}}$



Fabrication de Qsec

La commande multiplexée permet d'envoyer un adressage ligne-mémoire (TL) qui s'incrémente toutes les µs, pendant 40µs (sur 64µs). On rafraîchit donc 40 lignes en 64µs. Le temps maximum du rafraîchissement des 128 lignes sera donc : $t_{max} = 128 + (4 \times 24) = 224$µs ce qui reste très inférieur aux 2ms maximum possible (voir chapitre 2.3 A).

CHRONOGRAMME

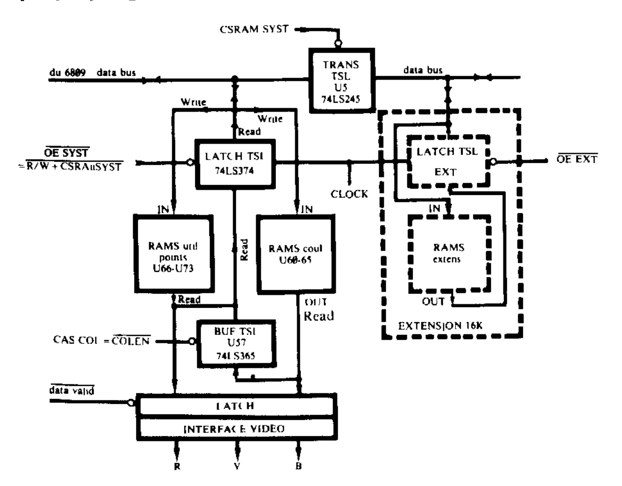


Le rafraîchissement des mémoires dynamiques se fait donc automatiquement pendant les phases non actives du 6809, par l'adressage du contrôleur d'écran, en synchronisme avec les signaux $\overline{\text{RAS}}$.

D — Gestion des entrées/sorties des RAMS dynamiques

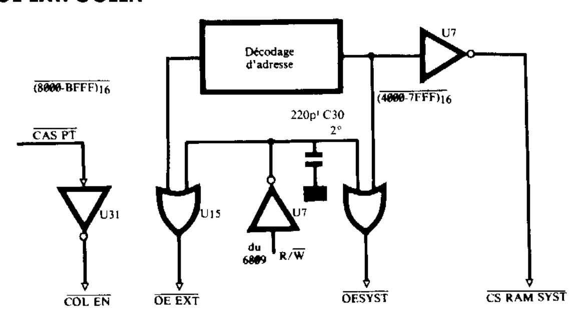
1. Pendant le cycle CPU (Eµ = 1), le signal R/$\overline{\text{W}}$ décide du sens de transfert des informations (IN ou OUT). La sélection Fond/Forme faite par le bit 0 du 6846 valide $\overline{\text{CAS}}$ point **ou** $\overline{\text{CAS}}$ couleur. Dans les deux cas il n'y a donc pas de conflit possible. Le latch U58 (74LS374) permet de verrouiller les données en sortie des RAMS pour être sûr qu'elles soient valides sur le front descendant de E.
2. Pendant le cycle vidéo (Eµ = 0) il y a conflit car les mémoires points et couleurs parlent **en même temps** sur le bus de données. On les envoie donc séparément sur le sérialisateur 74LS165 (points) et sur le latch 6 bits 74LS378.
Leur convergence vers le bus données du CPU (via le 74LS374) est coupée en mettant les drivers 74LS365 en état haute impédance.

Synoptique général



a) Pendant le cycle CPU, si la RAM point est sélectée, la RAM couleur ne l'est pas et COLOR ENABLE ferme inutilement le 74LS365.
b) Par contre pendant le cycle vidéo au contraire, si la RAM point est sélectée, la sortie couleur vers le bus de données est fermée pour éviter le conflit.
Dès que la RAM point n'est plus sélectée, on ouvre le 74LS365, que les RAMS couleurs soient sélectées ou pas.

Signaux=CS RAM SYST — OE SYST — OE EXT. COLEN



2.4 Les signaux de commande

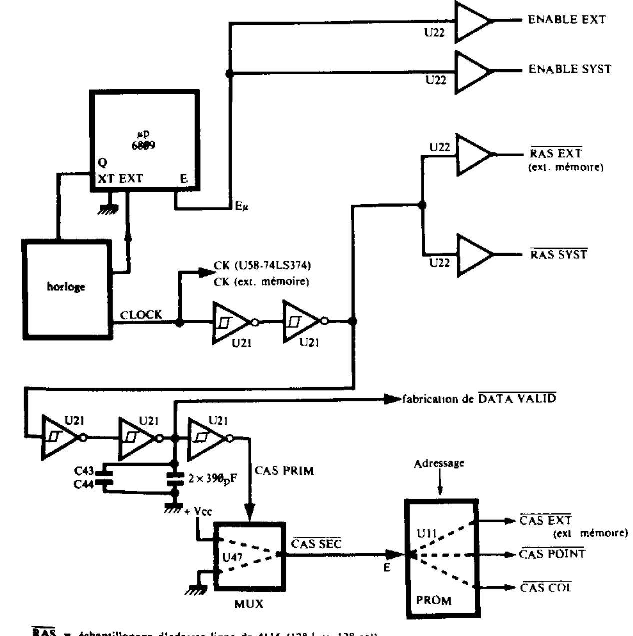
On distingue deux sortes de signaux de commande :
— les signaux de validation,
— les signaux de gestion.

A — Les signaux de validation

Ces signaux vont servir principalement à valider les écritures dans les RAMS dynamiques, du système ou de l'extension. On trouvera donc :
— ENABLE SYST et ENABLE EXT égaux à Eμ (au temps de propagation près dans les buffers U22) qui décodent également leurs adresses respectives.
— $\overline{\text{RAS EXT}}$ et $\overline{\text{RAS SYST}}$ signaux de validation ligne des RAMS, en retard de 5Øns sur le signal d'horloge CLOCK (2MHz).

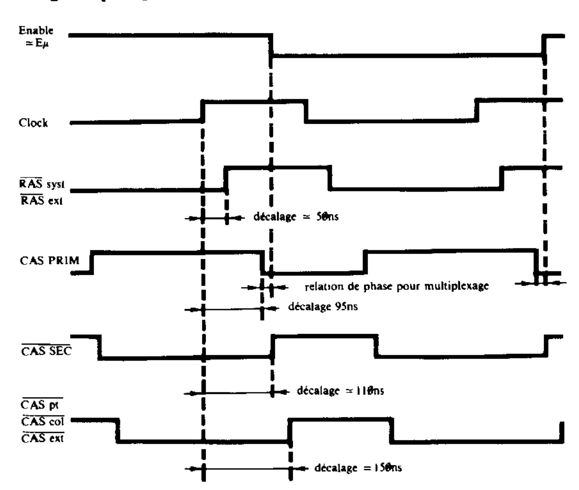
— $\overline{\text{CAS point}}$, $\overline{\text{CAS col}}$ et $\overline{\text{CAS ext}}$ signaux de validation colonne des RAMS, en retard de 15Øns sur CLOCK, donc de 1ØØns sur RAS.

Synoptique de conception



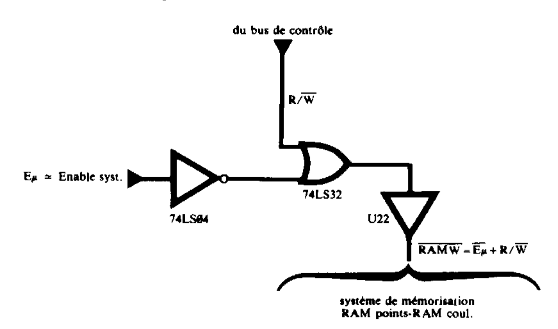
$\overline{\text{RAS}}$ = échantillonage d'adresse ligne de 4116 (128 l × 128 col)
$\overline{\text{CAS}}$ = échantillonage d'adresse colonne de 4116 (128 l × 128 col)

Timing simplifié

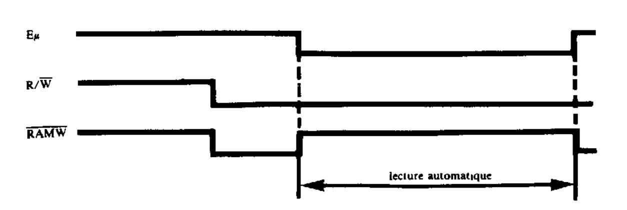


— $\overline{\text{RAMW}}$ commande de lecture écriture du système de mémorisation, tel que ce système se positionne automatiquement en lecture pendant la phase non active du 6809.

Schéma de conception



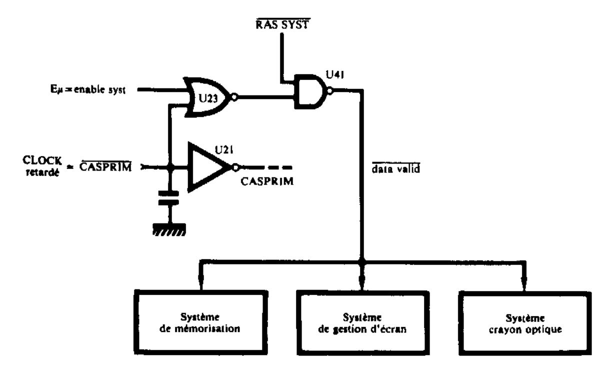
Exemple de timing



— $\overline{\text{DATA VALID}}$, fabriqué uniquement pendant la phase non active du 6809, entre la tombée de $\overline{\text{RAS}}$ SYST et la descente de $\overline{\text{CAS}}$ PRIM, permet d'assurer un fonctionnement synchrone lorsqu'elles sont valides :

- — des données en lecture du système de mémorisation,
- — des informations à positionner sur l'écran,
- — des informations "optiques" du light-pen.

Schéma de conception



Calcul

$$\overline{DATA\ VALID} = \overline{\overline{CASPRIM} + E\mu\ RAS\ SYST}$$
$$= \overline{\overline{CASPRIM}} + \overline{E\mu} + \overline{RAS\ SYST}$$

$\Rightarrow \overline{DATA\ VALID} = \emptyset$ pour :

CAS PRIM = 1 et $E\mu = \emptyset$ et RAS SYST = $\emptyset$

1μ

CAS PRIM

Eμ

RAS SYST

$\overline{DATA\ VALID}$

VALIDATION DONNEES — VALIDATION DONNEES

$\overline{DATA\ VALID}$ est centré sur la validation des données, en lecture automatique, du système de mémorisation.

B — Les signaux de gestion

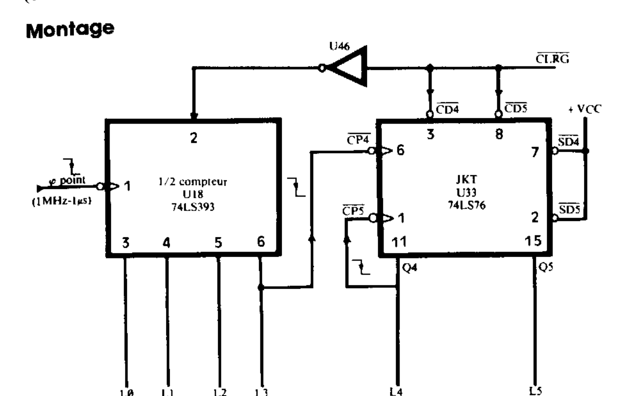
Ce sont principalement les signaux du contrôleur d'écran, soit la synchronisation vidéo mixte et les signaux d'initialisation.

1. Génération des lignes

Un compteur synchrone 6 bits reçoit une fréquence d'horloge de 1MHz. Il est remis à zéro automatiquement au bout de $2^6 = 64\mu s$ et reçoit un signal de remise à zéro général pour réinitialisation au début de la fenêtre de travail à la fin d'un balayage complet de l'écran ($\overline{CLRG}$).

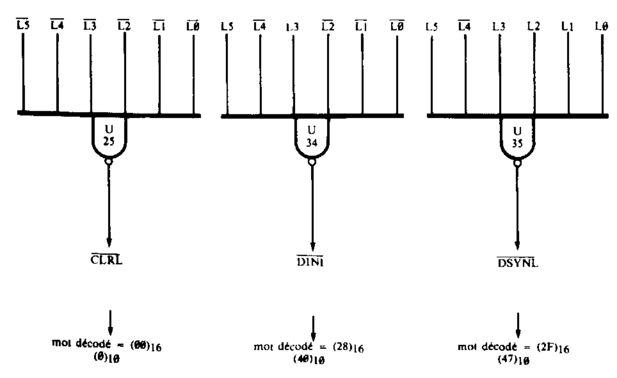
Ce compteur est réalisé à l'aide d'un compteur asynchrone 4 bits (1/2 74LS393 = U18) et d'une double bascule JK (74LS76 = U33).

Montage

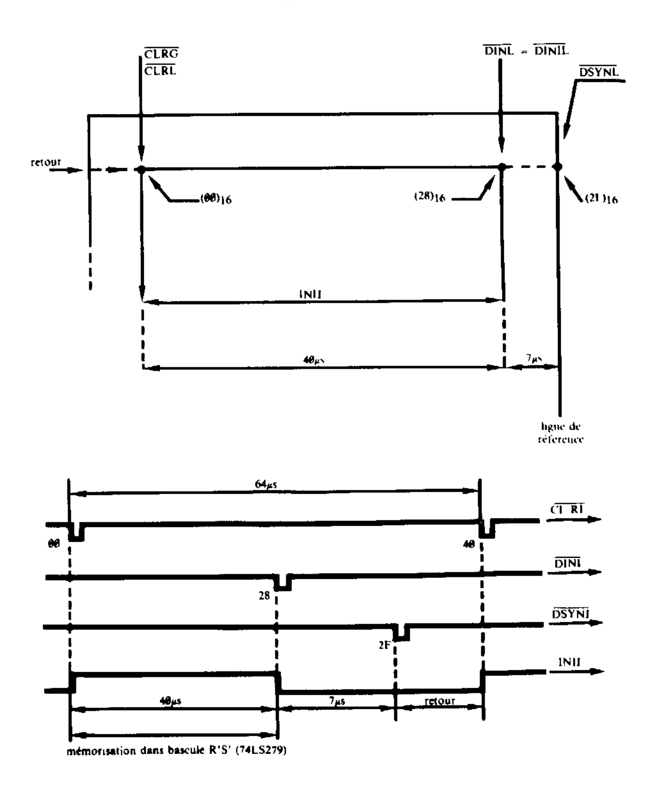


Les 6 bits de sortie de ce compteur sont décodés par des portes NAND à 6 entrées (74LS30 = U25-34-35) qui génèrent les signaux définissant :
— le début d'une ligne (départ de la fenêtre) → $\overline{CLRL}$
— la fin de la fenêtre (au bout de 40 μs = \$28) → $\overline{DINL}$
— la fin de la ligne (retour-ligne, 47μs = \$2F) → $\overline{DSYNL}$

Sohéma de principe

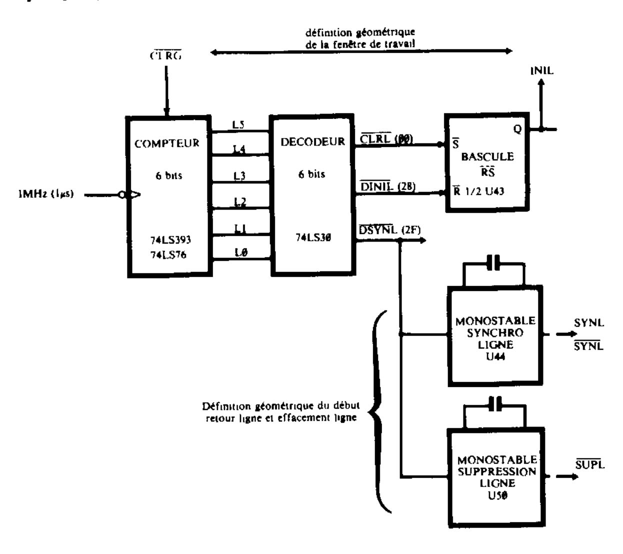


Définition de l'écran et de sa fenêtre de travail



Les deux signaux $\overline{CLRL}$ et $\overline{DINL}$ qui marquent le début et la fin de la partie fenêtre d'une ligne permettent via une bascule RS (1/2 74LS279 = U43) la création du signal de dimensionnement **en largeur** de la fenêtre, INIL.
Le signal $\overline{DSYNL}$ via les monostables synchronisation ligne (1/2 74LS123 = U44) et effacement ligne (1/2 74LS123 = U5Ø) génère le signal de synchronisation SYNL (et $\overline{SYNL}$) et celui des suppression de RVB, SUPL.

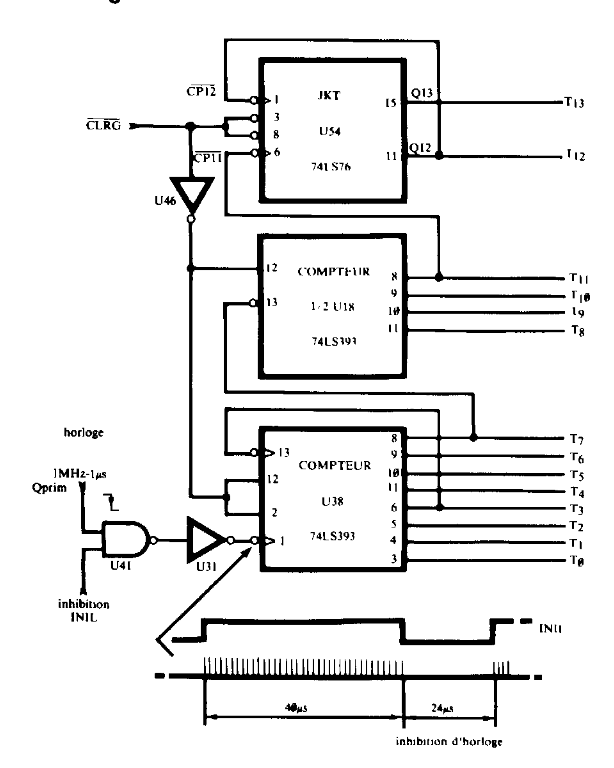
Synoptique des circuits



2. Génération trame
Le compteur asynchrone 14 bits déjà utilisé pour adresser les RAMS vidéo pendant la phase non active du 68Ø9 est également utilisé pour générer les signaux de dimensionnement de la fenêtre et de synchronisation et d'effacement trame.

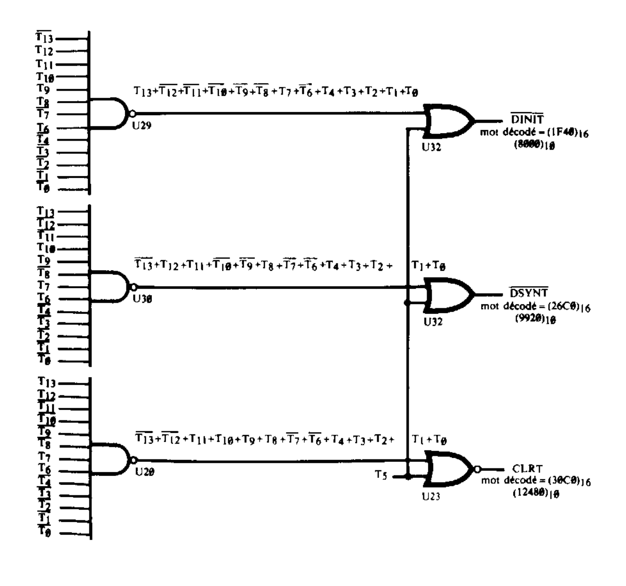
Ce compteur est réalisé à l'aide de 3 compteurs asynchrones 4 bits (74L393 = U38 + 1/2 U18) et d'une bascule JK (74LS76 = U54). Il est attaqué par le signal d'horloge Q(1MHz) du 68Ø9 et inhibé pendant 24μs par le signal INIL étudié ci-dessus.
Il est remis à zéro par le signal général d'initialisation $\overline{\text{CLRG}}$.

Montage

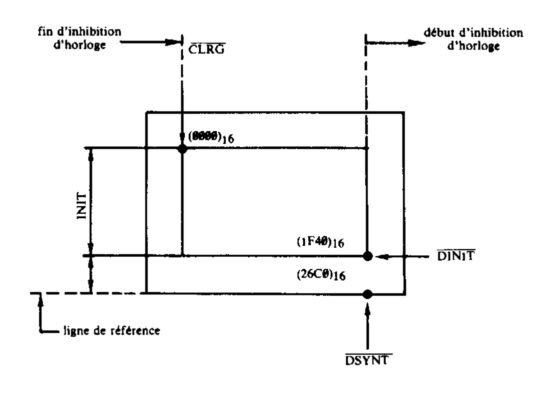


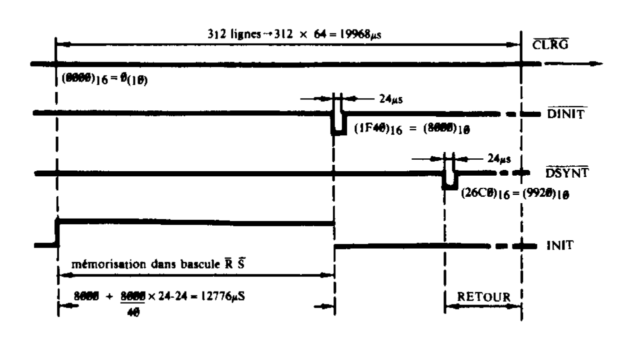
Les 14 bits de ce compteur sont décodés par des portes OU à 14 entrées (réalisées à l'aide de NAND 13 entrées + 1 porte ou 2 entrées : U2Ø-29-3Ø-32) et génèrent les signaux définissant :
— le début d'une trame (départ de la fenêtre) → CLRT
— la fin d'une fenêtre (trame) → $\overline{\text{DINIT}}$
— la fin de la trame (retour-trame) → $\overline{\text{DSYNT}}$

DÉCODAGE SIGNAUX TRAMES



Définition de l'écran et de sa fenêtre de travail

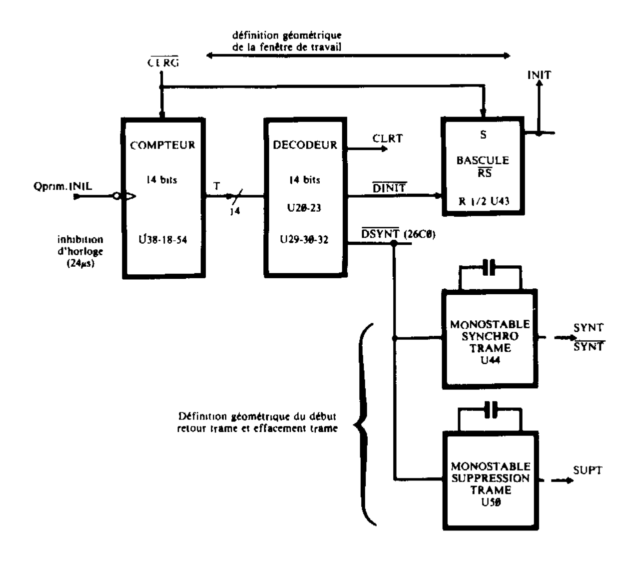




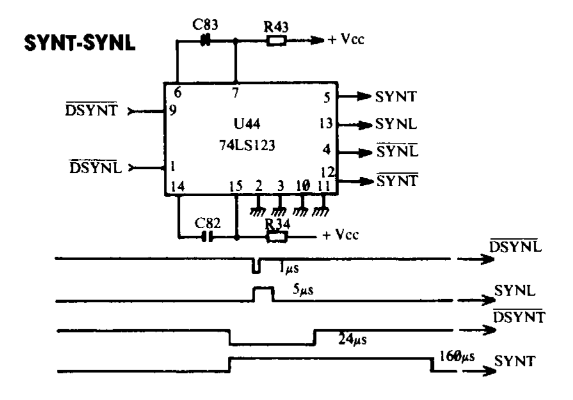
Les deux signaux $\overline{CLRT}$ et $\overline{DINIT}$ qui marquent le début et la fin de la fenêtre de travail permettent via une bascule RS (74LS279 = 1/2 U43) la création du signal de dimensionnement en hauteur de cette fenêtre, INIT.

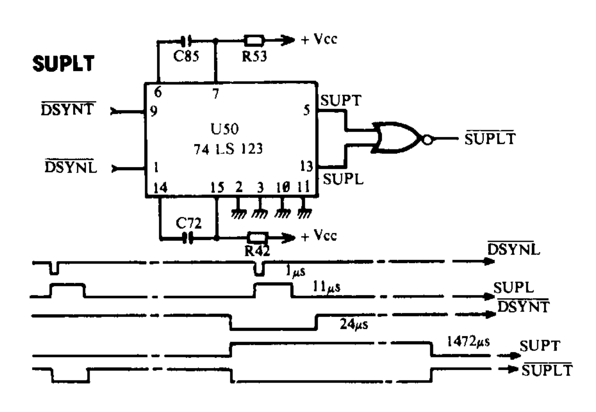
Le signal $\overline{DSYNT}$ via les monostables synchronisation trame (74LS123 = 1/2 U44) et effacement trame (74LS123 = 1/2 U5Ø) génère les signaux de synchronisation $\overline{SYNT}$ (et SYNT) et SUPT.

Synoptique des circuits



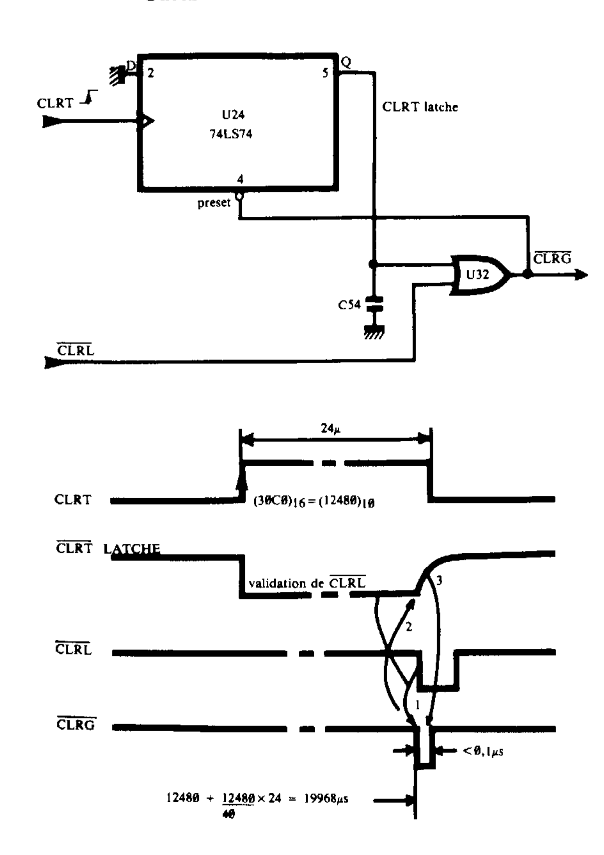
GÉNÉRATION DES CIRCUITS DE SYNCHRONISATION ET D'EFFACEMENT





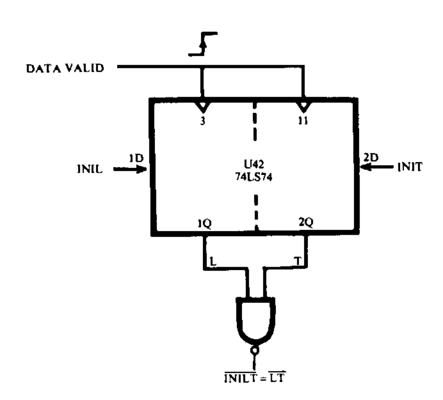
Le signal de réinitialisation générale en début de fenêtre est obtenu par synchronisation de CLRT et $\overline{\text{CLRL}}$ qui fournissent donc $\overline{\text{CLRG}}$.

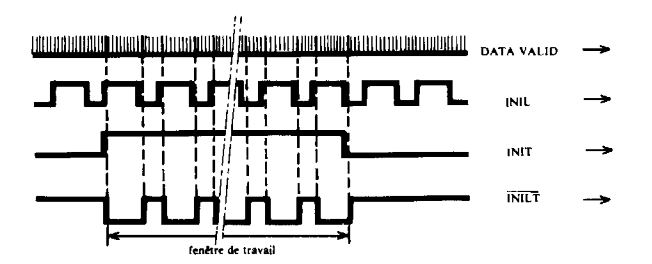
GÉNÉRATION DE $\overline{\text{CLRG}}$



De même le signal $\overline{\text{INILT}}$ de strobe du multiplexeur RVB, interdisant toute information en dehors de la fenêtre de travail est généré à partir de INIL et INIT eu synchronisation avec le front montant de DATAVALID.

GÉNÉRATION DE $\overline{\text{INILT}}$



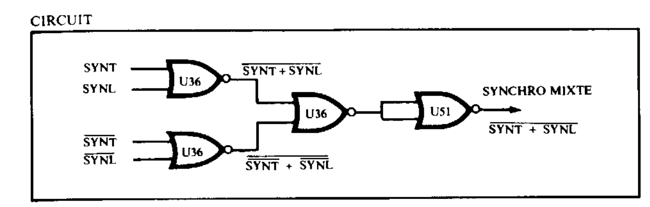


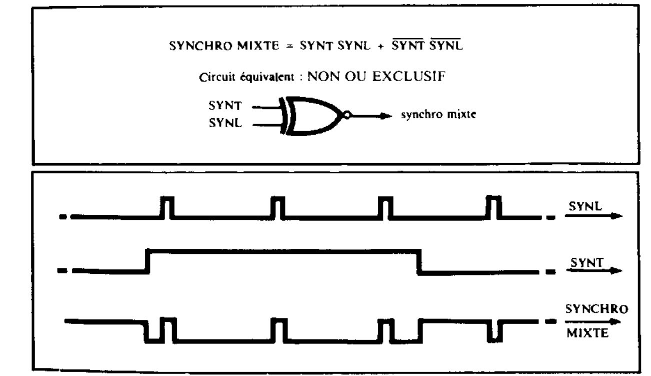
3. Génération de la synchronisation mixte

Le signal de synchronisation mixte qui définit le balayage de l'écran et positionne la fenêtre de travail est équivalent à un OU exclusif entre les signaux de synchronisation trame SYNT et ligne SYNL.

GÉNÉRATION DE LA SYNCHRONISATION MIXTE

CIRCUIT





C'est ce signal qui atténué par un circuit résistif R49-60-61 est envoyé sur la borne 20 de la prise PERITEL via le connecteur J4.

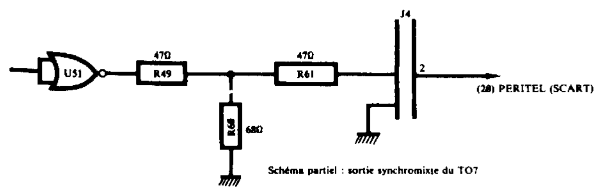


Schéma partiel : sortie synchromixte du TO7

2.5 Fonctionnement du crayon optique

Le crayon optique est constitué de deux éléments indépendants :
— un interrupteur de validation,
— un phototransistor de détection optique.

A — Fonctionnement de l'interrupteur

Cet interrupteur unipolaire est relié :
— d'une part à la tension d'alimentation +5V,
— d'autre part au bit P_1 du port parallèle du 6846, bit tiré à la masse par la résistance R8 de 1KΩ.

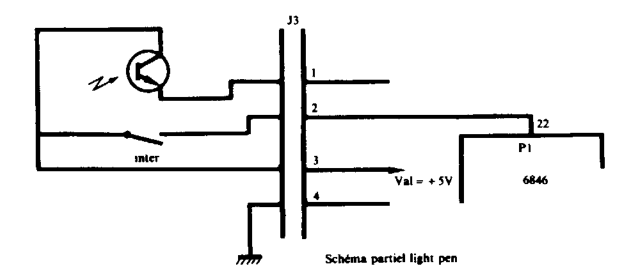
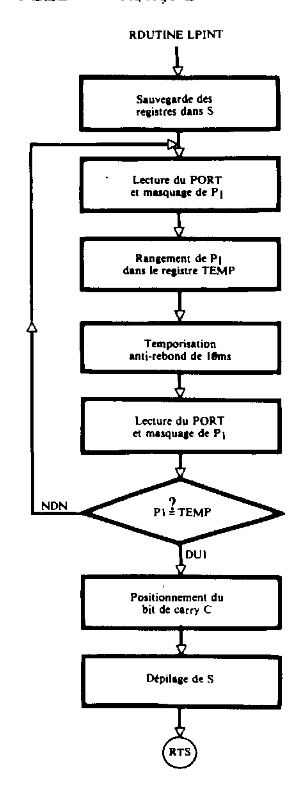


Schéma partiel light pen

Le fonctionnement de cet interrupteur ne peut être actif que grâce à un SOFT convenable. La routine LPINT teste le bouton du light-pen et revient avec C=1 si le bouton est fermé (actif) et C=Ø si ce bouton est ouvert (repos). (C'est le bit de carry du registre d'état du 68Ø9).
Cette routine a son point d'entrée en LPIN$≡&HE81B, et utilise un registre temporaire 16 bits TEMP≡&H6Ø6C. Son analyse est faite ci-après.

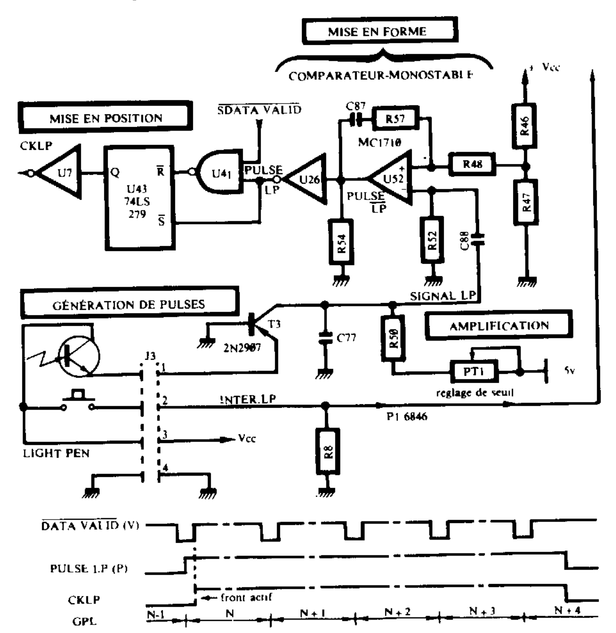
```
             PSCT
 *
 ***** LECTURE DE L'INTERRUPTEUR LIG
HT-PEN
 *
 LPINT    PSHS     A,X
 LPIN2    LDA      PRC
          ANDA     #2
          STA      >TEMP
          LDX      #1250
10 MSEC D'ANTI-REBOND
 LPIN1    LEAX     -1,X
          BNE      LPIN1
          LDA      PRC
          ANDA     #2
          CMPA     >TEMP
          BNE      LPIN2
          ADDA     #$FF
'C=1 si A<>0 (flag d'interrupteur ferme)
 *' et C=0 si A=0 (flag d'interrupte
ur ouvert)
 INT      PULS     A,X,PC
```

B — Fonctionnement du phototransistor

Principe général :
Lorsque l'écran vidéo reçoit via la prise péritel une information RVB, il n'allume qu'un point sur l'écran. Ce point appartient à un GPL dont l'adresse peut être connue par simple lecture des 14 bits du compteur du contrôleur d'écran étudié précédemment. Si face à ce point est placé le phototransistor du crayon optique, celui-ci reçoit la lumière du point, (à condition que le point soit suffisemment lumineux) qui le sature.
Cette information courant est convertie en une information tension (signal LP), qui comparée à un niveau de référence, sera mise en forme (comparateur-monostable MC1710 ≡ U52) puis synchronisée sur le front montant de $\overline{\text{DATAVALID}}$ fournira un signal CKLP dont le front montant permettra la prise en compte du GPL en dehors d'une zone de commutation d'adresses.

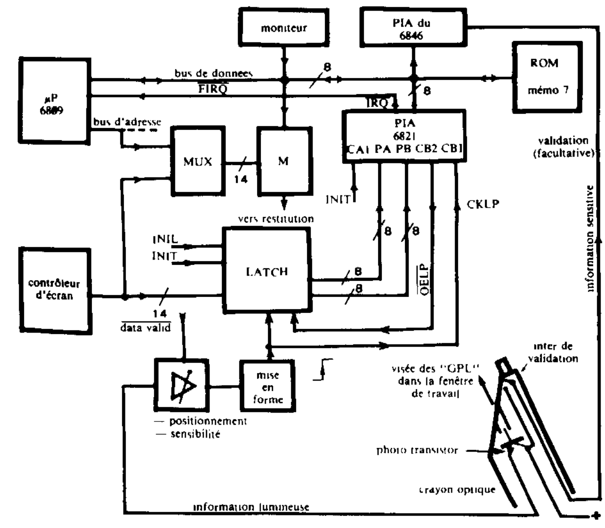
Schéma de principe.



Les ports PRA et PRB du 6821 système ayant été positionnés en entrées par la routine de saisie GETLP et les deux bascules latch (74LS374 ≡ U9-10) ayant été déverrouillées par mise à zéro du CB2, l'apparition d'un front montant de CKLP va provoquer le départ en interruption $\overline{\text{FIRQ}}$ du 6809 car CKLP est relié au CB1 du PIA 6821.
Le pointeur d'interruption $\overline{\text{FIRQ}}$ ayant été programmé par GETLP va provoquer le départ vers une routine de saisie des adresses et rangement dans un buffer.
La validation des visées se fait après 20msec (durée d'une trame). En fonction de la distance du crayon optique à l'écran, plusieurs GPL d'une même colonne, vont être mémorisés. Le logiciel développé dans GETLP effectuera un tri et procédera au choix de l'adresse de GPL **le plus à gauche sur l'écran.**

FONCTIONNEMENT DU CRAYON OPTIQUE

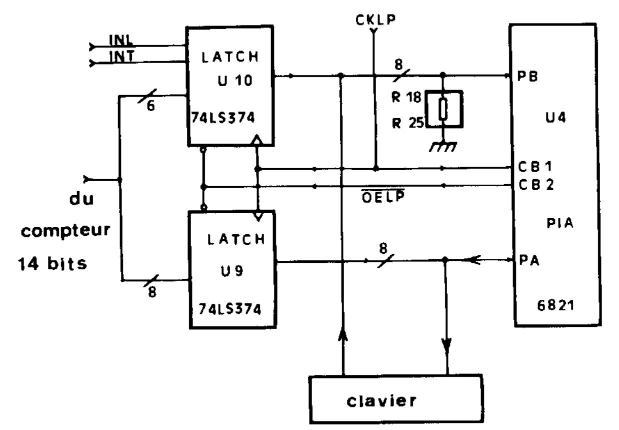
Principe général



La connaissance du signal INIL permet une éventuelle rectification des mesures faites hors de la fenêtre horizontale.
Après sélection de la meilleure saisie, la routine GETLP calcule les coordonnées du point lu et les transfère par X (colonne entre Ø et 319) et Y (ligne entre Ø et 199).
La lecture valide est signalée par C = Ø ; une lecture erronée par C = 1. La routine GETLP est accessible par GETL$ ≡ &HE818. Elle utilise les registres TEMP (&H6Ø6C), DECALG (6ØD2) et un buffer pointé par LPBUFF (&H6ØD3).
Ce buffer ne peut dépasser l'adresse &H6ØFE sous peine d'écraser le début de la page Ø du BASIC. Sur la première version du TO7 (moniteur T9ØØØ) aucun test n'était fait et une saisie faite à distance de la surface de l'écran provoquait un bug.
Les nouvelles versions du moniteur (TO7) donnent une dimension maximum au buffer.
Avant de rendre la main, la routine GETLP replace le PIA 6821 système en mode clavier (voir ci-après), c'est-à-dire remet le CB2 à 1 pour verrouiller les deux latchs et remet le port B en output pour permettre la scrutation. De même les interruptions par CB1 sont verrouillées.

COMMUNICATION CRAYON OPTIQUE/CLAVIER

Principe

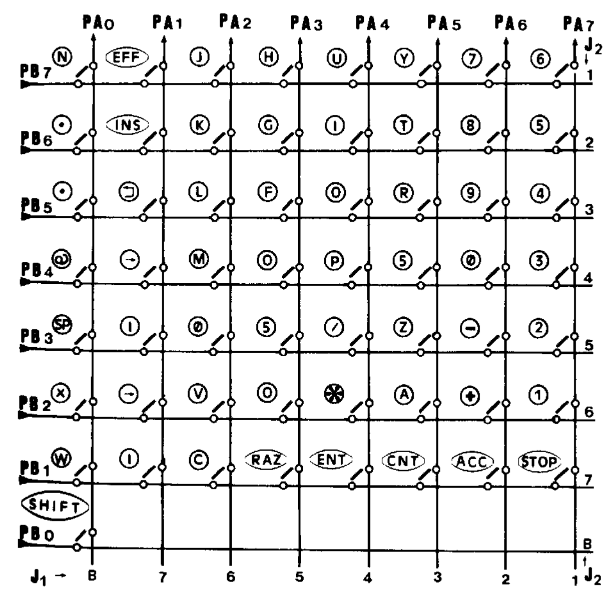


La routine de gestion du light pen sur le TO7-7Ø est différente car elle intègre les possibilités du Logic Gate Array ($E7E4 à $E7E7) et permet une lecture avec une précision au niveau du point et non plus de l'octet.

2.6 Fonctionnement du clavier

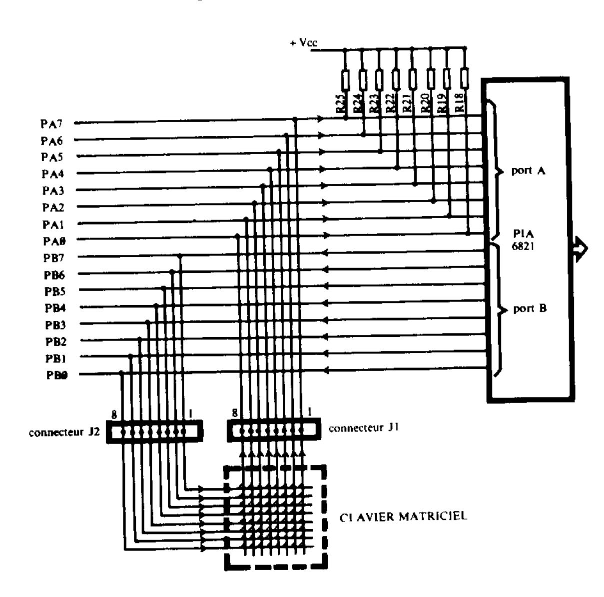
Le clavier du TO7 est une matrice de 8 lignes et 8 colonnes. Les huit lignes sont reliées via le connecteur J2 au port B du PIA 6821 système, les huit colonnes étant reliées via J1 au port A du même PIA.

Disposition des touches



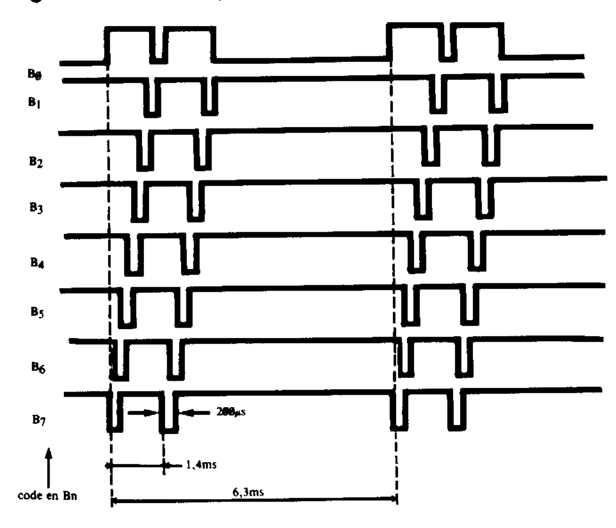
Dès l'initialisation le logiciel du moniteur positionne le port A en entrée et le port B en sortie. Les lignes d'entrées du port A sont reliées au + Vcc = 5V de telle façon que si aucune touche n'est enfoncée toutes les entrées du port A soient au "1" logique.

SYSTÈME-CLAVIER



Puis le logiciel porte successivement, l'une après l'autre les sorties du PORT B au OV (fonctionnement en "scanning") pendant que le PORT A est lu :
— Si PRA = $H FF → aucune touche n'est enfoncée sur la ligne à Ø
— Si PRA ≠ $H FF → une touche est enfoncée sur la ligne à Ø.

Signaux de scanning



Dans ce dernier cas la connaissance des valeurs des PORT A et B permet le décodage du clavier et le logiciel peut alor restituer la lettre frappée.
C'est la routine GETCH qui assure la lecture de la touche :
— après une première lecture et un anti-rebond de 5 msec une deuxième lecture renvoit sous forme numérique le code de la touche dans Y. Les valeurs numériques décroissent de 57 à 1 depuis la touche SHIFT jusqu'à la touche N (SHIFT, STOP, ACC, ..., W, 1, +, A, ...N) ;
— si aucune touche n'est enfoncée Y revient avec la valeur Ø ce qui provoque un retour de SP, sinon on teste le bit Ø du registre STATUS qui indique si une touche à déjà été lue et si dans ce cas il s'agit toujours de la même touche (auto-répétition éventuelle) ;

— s'il s'agit de la première frappe ou d'une nouvelle touche on procède alors au décodage c'est-à-dire, par lecture d'une table, de la conversion ASCII. Dans cette partie du programme sont testée les touches SHIFT et CNT qui commandent, les passages MAJ/min. avec commande de la led d'indication (bit 3 du PRC du 6846 à Ø ⇒ led éteinte et MAJ, à 1 ⇒ led allumée et minuscule, etc.)
En sortie de cette routine, le code ASCII de la touche se trouve dans le registre B.
Une routine de test rapide des touches est implantée en KTST$ = &HE8Ø9 qui met le bit de carry C à 1 si une touche est enfoncée ou à Ø dans le cas contraire.

Le listing très simple de ce programme est donnée ci-dessous.

```
1553 *
1554 ***** CONTROLE RAPIDE DES TOUCHES *
****
1555 *
1556 *
1561 KTST     PSHS     A
1562          CLR      PRB
MISE A O DES COLONNES
1563          LDA      PRA
1564          CMPA     #$FF
 CMPA effectue la soustraction :
1565 ' $FF-$FF met le carry a O (flag d'
absence de touche) et <>$FF-$FF met le
1566 ' carry a 1 (flag de touche enfonce
e).
1567          PUL      A,PC
```

Sur le TO7-7Ø on accède à la table de décodage du clavier via un pointeur PTCLAV situé en page Ø ($6ØCD, $6ØCE) ce qui permet à l'utilisateur de reconfigurer son clavier.

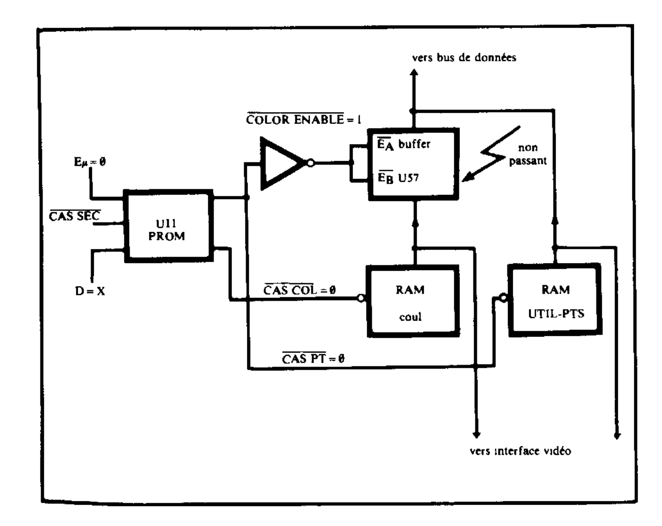
2.7 Le système de décodage d'adresse

Le rôle du système de décodage d'adresse est de générer des signaux de validation permettant la sélection de chaque boîtier (ou groupes de boîtiers) de circuit intégré dans la zone de mémoire qui lui est affectée.
La carte mémoire (voir paragraphe 5.1 chapitre 5) permet de situer les principales zones à sélectionner.

Les signaux d'adressage des mémoires RAMS dynamiques ont été étudiés dans les chapitres précédents. Il s'agit des signaux :
— $\overline{\text{CAS POINT}}$, actif de 4ØØØ à 7FFF, qui validera la RAM utilisateur/point.

— $\overline{\text{CAS COL}}$, actif de 4ØØØ à 7FFF, qui validera la RAM couleur.

— $\overline{\text{CAS EXT}}$, actif de 8ØØØ à BFFF, qui validera l'extension RAM 16 K.
Afin d'éviter les conflits lecture point/couleur vers le bus de données, un signal COLORENABLE = $\overline{\text{CAS PT}}$ verrouillera le buffer U57 pendant une lecture point, au cours du cycle vidéo ($E\mu = Ø$).



Ces signaux sont obtenus en sortie d'une PROM à fusibles (6331 – 1 ≡ U11) adressée par :
— le bit PØ du port PRC du 6846
— les bits d'adresses du 68Ø9, A_{13}, A_{14} et A_{15}
— le signal d'horloge du μP, $E\mu$
Cette PROM n'est active que pendant le niveau bas du signal $\overline{\text{CAS SEC}}$ généré à partir de CLOCK (2MHz). Donc la PROM sera active pendant que $E\mu$ est à Ø et pendant que $E\mu = 1$ ce qui permet l'accès aux RAMS points et couleur même pendant la phase non active du 68Ø9, afin de permettre la lecture automatique pour la commande de la vidéo.

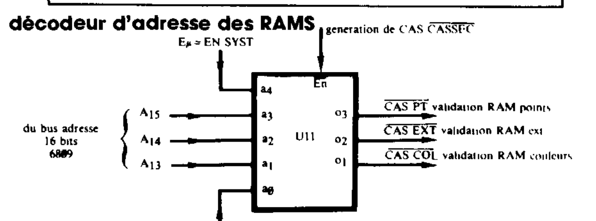
Quand $\overline{CAS\ SEC}$ est au niveau haut, les RAMS ne sont pas validées. La table de fonctionnement de cette PROM (pour $\overline{CAS\ SEC} = Ø$) et l'affectation des zones mémoires correspondantes sont données ci-dessous :

Table de fonctionnement (programmation) pour $\overline{En} = 0$

ADRESSAGE					SORTIES		
a_4	a_3	a_2	a_1	a_0	O_3	O_2	O_1
0					0	1	0
1	0	0			1	1	1
1	0	1	0	0	1	1	0
1	0	1	0	1	0	1	1
1	0	1	1		0	1	1
1	1	0			1	0	1
1	1	1			1	1	1

UTILISATION EN 32 × 3 BITS

décodeur d'adresse des RAMS



Affectation des zones mémoires

adressage PROM :					A_{15} A_{14} A_{13}	taille	génération de :		
a_4 ↓ EN SYST	a_0 ↓ D	a_3 ↓ A_{15}	a_2 ↓ A_{14}	a_1 ↓ A_{13}	zones mémoires adressées		$\overline{CAS\ point}$ ↓ validation de RAM util-point	$\overline{CAS\ EXT}$ ↓ validation de l'extension	$\overline{CAS\ COL}$ ↓ validation RAMS coul
Ø	x	x	x	Ø	xxØx	56K	OUI	non	OUI
1	x	Ø	Ø	x	ØØØØ à 3FFF	16K	non	non	non
1	Ø	Ø	1	Ø	4ØØØ à 5FFF	8K	non	non	OUI
1	1	Ø	1	Ø	4ØØØ à 5FFF	8K	OUI	non	non
1	x	Ø	1	1	6ØØØ à 7FFF	8K	OUI	non	non
1	x	1	Ø	x	8ØØØ à BFFF	16K	non	OUI	non
1	x	1	1	x	CØØØ à FFFF	16K	non	non	non

La gestion des banques 16K RAM sur le TO7-7Ø fait l'objet d'un paragraphe spécial en fin de cet ouvrage.
Les signaux d'adressage des mémoires ROMS, ainsi que ceux des divers PIA système ou extensions, sont obtenus à partir d'un décodeur d'adresse (74LS139 ≡ U14) et de circuits logiques supplémentaires pour les PIAS.
Le circuit U14, double décodeur de 2 donne 4, est adressé par les 4 bits de poids fort du bus d'adresse du 68Ø9, A_{12}-A_{15}. Il permet d'obtenir directement les signaux :

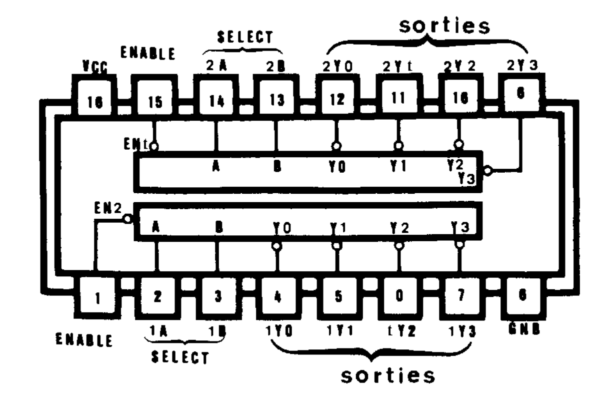
— $\overline{CSROM}$, actif de ØØØØ à 3FFF, qui validera la cartouche du mémo7.

— $\overline{CSRAMSYST}$, actif de 4ØØØ à 7FFF, qui permet de soulager le bus de données lorsqu'on travaille avec les RAMS système (voir les signaux de gestion des entrées/sorties de RAMS chapitre 2.3 D).

— $\overline{EXT}$, actif de 8ØØØ à BFFF (voir comme ci-dessus le chapitre 2.3 D).

— $\overline{CSF}$, actif de FØØØ à FFFF, qui validera la ROM "moniteur" (2532 ≡ U3).

Double décodeur de 1 parmi 4

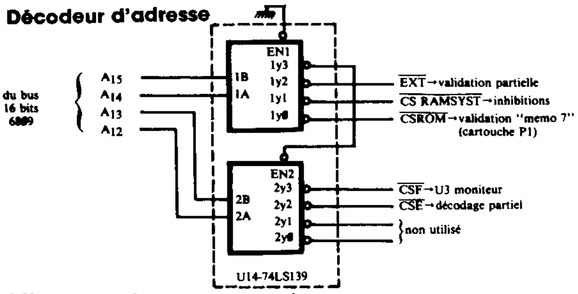


Restent alors les signaux $\overline{CSC}$ et $\overline{CSD}$ qui valident la plage d'adresses de CØØØ à CFFF puis DØØØ à DFFF et ne sont pas utilisés par le système. Ces signaux sont disponibles sur le bus standard (connecteurs arrières du TO7) et seront utilisés pour valider certaines extensions.

Table de fonctionnement pour 1 décodeur

entrées			sorties			
ENABLE	SELECT					
$\overline{EN}$	B	A	y_3	y_2	y_1	y_0
1	X	X	1	1	1	1
0	0	0	1	1	1	0
0	0	1	1	1	0	1
0	1	0	1	0	1	1
0	1	1	0	1	1	1

Décodeur d'adresse



Affectation des zones mémoires

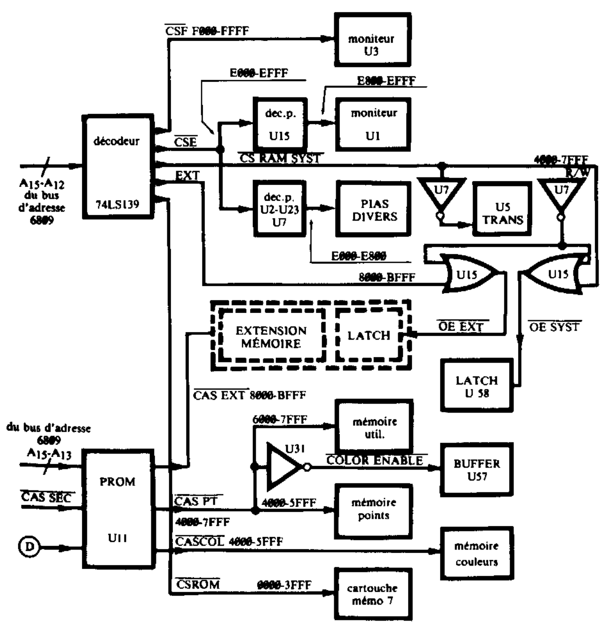
Zones adressées	taille	sortie validante	commentaires
ØØØØ à 3FFF	16K	$\overline{\text{CS ROM}}$	validation de la cartouche mémo 7
4ØØØ à 7FFF	16K	$\overline{\text{CS RAM SYST}}$	inhibitions de données
8ØØØ à BFFF	16K	$\overline{\text{EXT}}$	validation partielle de la RAM ext.
CØØØ à CFFF DØØØ à DFFF	8K	$\overline{\text{CSC}}$ $\overline{\text{CSD}}$	non utilisé
EØØØ à EFFF	4K	$\overline{\text{CSE}}$	validation partielle
FØØØ à FFFF	4K	$\overline{\text{CSF}}$	validation de la ROM U3 2532 "moniteur"

Le signal $\overline{\text{CSE}}$, validant la plage EØØØ à EFFF va être utilisé avec d'autres bits d'adresses du bus 68Ø9 pour valider :

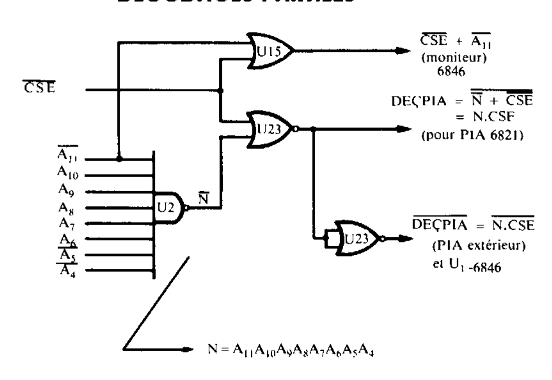
— de E7CØ à E7CF, signaux E7CX et $\overline{\text{E7CX}}$, les PIA du système et de certaines extensions. Ces signaux sont réalisés à partir de $\overline{\text{CSE}}$ et de portes logiques conformément au schéma ci-dessous

— de E8ØØ à EFFF, signal $\overline{\text{CSE}} + \overline{\text{A11}}$, les 2K de "moniteur" implantés dans la ROM du 6846.

Synoptique



DÉCODAGES PARTIELS

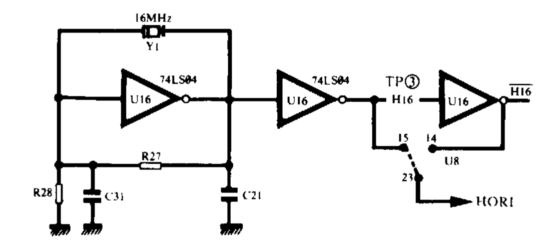


2.8 L'horloge

La base de l'horloge est un oscillateur 16 MHz à quartz réalisé autour d'une porte inverseuse U16 ≡ 74LSØ4.

Génération de H16.

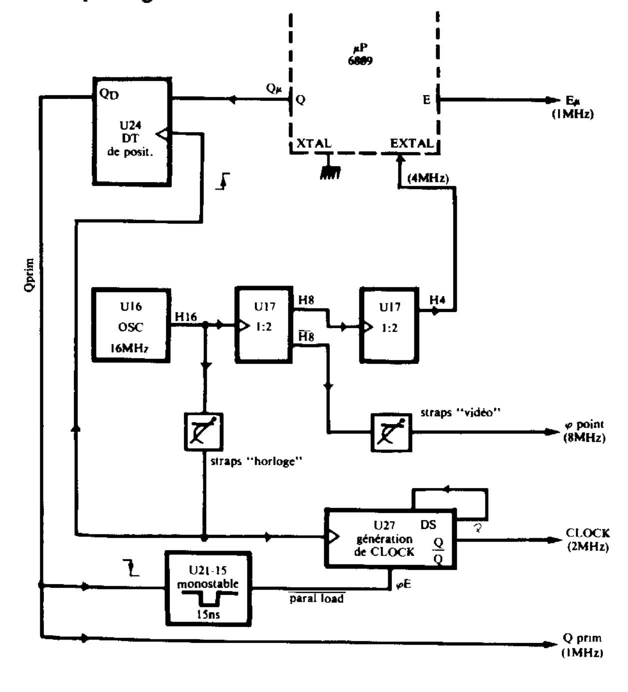
$R_{27} = R_{28} = 2{,}2k\Omega$ $C_{31} = 120pF$
$C_{21} = 120pF$



C'est ce signal H16 qui divisé une premiére fois par 2 (U17 ≡ 1/2 74LS74) fournira point, signal 8MHz d'attaque du sérialisateur des bits points vidéo.

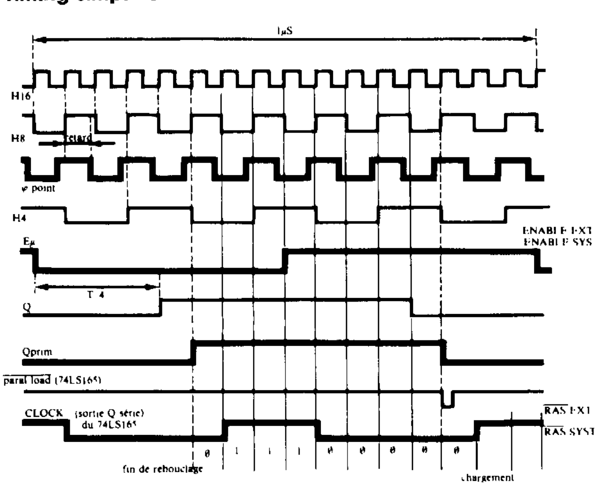
Par une nouvelle division par 2 (U17) on obtiendra H4, signal 4MHz d'entrée EXTAL du 68Ø9 à partir duquel sont élaborés par le microprocesseur, les signaux en quadrature $E\mu$ et $Q\mu$ (1MHz).
Le signal $Q\mu$ sera resynchronisé sur le front montant de H16 pour fournir Q prim nécessaire au système de contrôle d'écran.

Conception générale



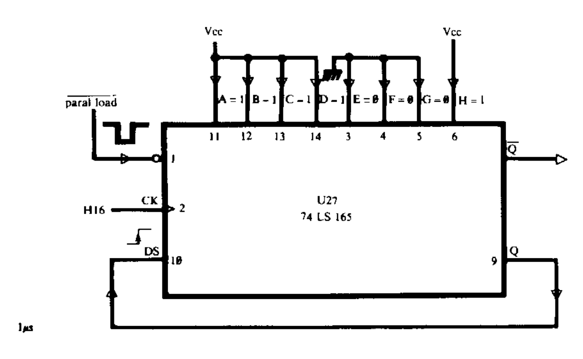
Reste à élaborer le signal CLOCK (2MHz) dissymétrique utilisé par le système de mémorisation ($\overline{\text{CASPRIM}}$ et $\overline{\text{DATAVALID}}$). Ce signal synchronisé par H16 doit être en étroite relation de phase avec Q prim. On l'obtiendra donc à l'aide d'un registre parallèle/série dont l'entrée de chargement $\overline{\text{PARALLOAD}}$ sera fournie à partir de Q prim et dont l'horloge de sérialisation sera H16.

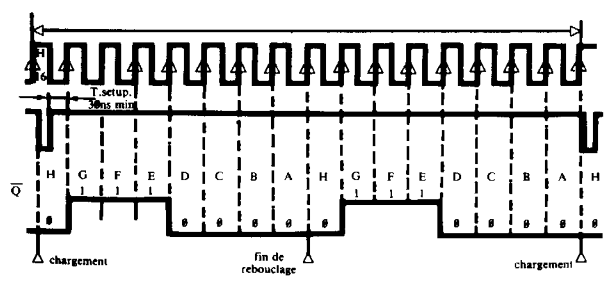
Timing simplifié



L'entrée de chargement n'apparaissant que toutes les µs, il est nécessaire de sortir deux cycles CLOCK entre chaque chargement. On obtient ce résultat en rebouclant la sortie Q sur l'entrée série DS. La sortie CLOCK de ce registre à circulation est prise sur la sortie $\overline{\text{Q}}$ du circuit U27 (74LS165).

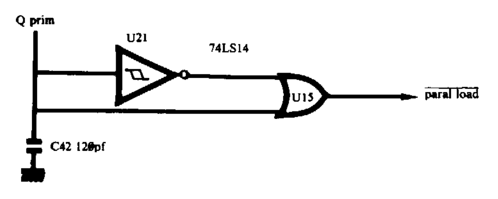
Génération du signal "CLOCK"



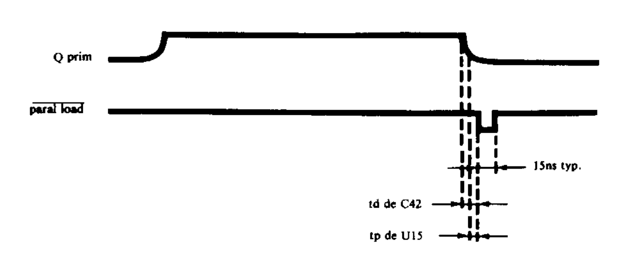


Le signal de chargement est obtenu par un monostable déclenché par Q prim et utilisant le temps de propagation de 15ns typ du circuit de trigger U21 (74LS14).

Schéma de principe : génération de $\overline{\text{paral load}}$



Signal de sortie



2.9 L'alimentation

L'alimentation du TO7 doit fournir les 3 tensions de ± 5 V et 12 V. Le primaire 22Ø V est protégé par un fusible de 315 mA et peut fournir un maximum de 65 VA.

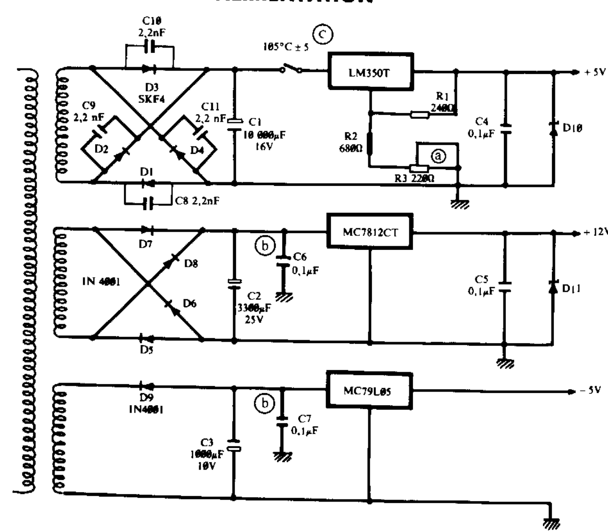
Les tensions secondaires sont obtenues à partir de régulateurs intégrés du type :

— LM35ØT, ajustable à + 5 V, pour tous les circuits logiques, pour la commutation rapide de la prise PERITEL. Ce circuit est protégé contre les courts-circuits jusqu'à 4,5 A. Une disjonction thermique est assurée à 1Ø5° C.

— MC7812 CT, régulateur 12 V, pour les RAMS dynamiques, pour la commutation lente PERITEL, pour l'extension RS232 et l'ampli du light-pen. Ce circuit est protégé contre les courts-circuits jusqu'à 1A. Une prise + 12 V est assurée à l'arrière du TO7 pour l'alimentation du codeur-modulateur PERITEL → UHF (TV).

— MC79LO5, régulateur-5 V, pour les RAMS dynamiques, l'extension RS232 et l'amplificateur de light-pen. Ce circuit est protégé contre les courts-circuits jusqu'à 1ØØ mA.

ALIMENTATION



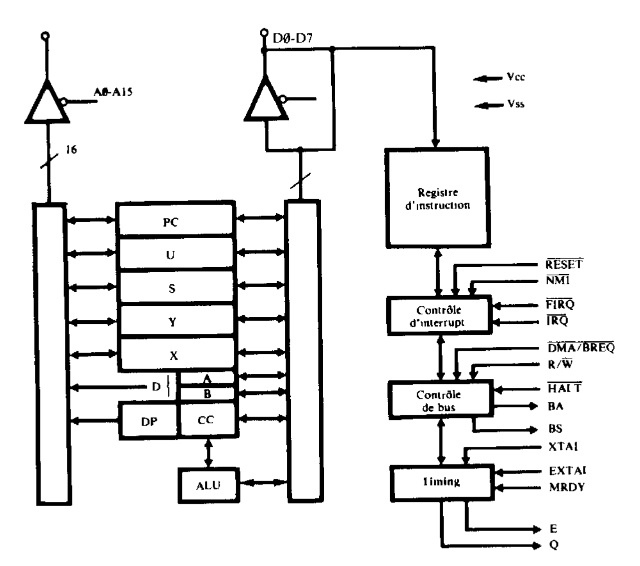
Les consommations du TO7 seul (sans extension) sont :

+ 5 V — 1A
+ 12 V — 22Ø mA
– 5 V — 5mA

2.10 CPU-BUS & PIA

• Le Microprocesseur 68Ø9

Microprocesseur 8 bits, le 68Ø9 a en fait une structure interne 16 bits puisque tous ses registres sont des registres 16 bits (X, Y, U, S et PC) ou 8 bits concaténables (A et B peuvent devenir $D = A_{MSB} + B_{LSB}$).
Seuls le registre d'état CCR et le registre de page directe DP ont une structure 8 bits.
Microprocesseur monotension (+5 V) il nécessite un signal d'horloge 4MHz et fabrique lui-même deux signaux E et Q à 1MHz en quadrature de phase. Les adresses sont validées sur le front montant de Q, et les données mémorisées sur le front descendant de E.
A la mise sous tension, ou lors d'une réinitialisation manuelle par mise à zéro de l'entrée RESET, le compteur programme est chargé avec l'adresse contenue en $FFFE, $FFFF. Tous les registres sont initialisés et en particulier le registre de page directe DP, utilisé en mode **d'adressage direct** est mis à zéro pour comptabilité avec la page Ø du 68ØØ.



— Structure
Outre les deux accumulateurs A et B utilisés pour les calculs et les manipulations des données et concaténables en un accumulateur
D de 16 bits, le 68Ø9 possède 4 registres 16 bits, X, Y, U et S pouvant servir de registres d'index ou de pointeurs de pile.
X et Y sont plutôt destinés à servir d'index, alors que U et S le sont à servir de pointeurs pour la pile utilisateur (rôle de U) et la pile système (rôle de S). Toutefois rien n'empêche de permuter ces différents rôles :
— le mode indexé permet en effet d'utiliser comme registre d'index, aussi bien X et Y que U et S,
— dans certains cas le compteur programme peut agir également comme un registre d'index.
Les instructions TFR et EXG permettent le transfert d'un registre (ou d'un accumulateur) dans un autre, ou l'échange de deux registres (ou de deux accumulateurs).

— Description du registre codes coudition
Ce registre 8 bits contient des indicateurs de résultats ou des masques d'interruption :
— le BITØ (C) indique s'il est à un "1", qu'une retenue a eu lieu lors de la dernière opération effectuée.
— le BIT1 (V) indique s'il est à "1" qu'il y a eu débordement, c'est-à-dire que la retenue du MSB n'est pas la même que celle du MSB-1.
— le BIT2 (Z) indique s'il est à "1" que la dernière opération a donné un résultat nul.
— le BIT3 (N) indique un résultat négatif. En complément à deux, N sera donc mis à un.
— le BIT4 (I) masque les interruptions $\overline{IRQ}$.
— le BIT5 (H) est le bit de demi-retenue. Il est utilisé dans l'opération d'ajustement décimal.
— le BIT6 (F) masque les interruptions $\overline{FIRQ}$.
— le BIT7 (E) indique s'il est à un que l'état complet de la machine a été empilé sur la pile système S.

— Les modes d'adressage :
Adressage inhérent :
Dans ce mode d'adressage, il n'y a aucun échange avec l'extérieur du 68Ø9. Exemple EXG A, B, qui échange les contenus de A et B.
Adressage immédiat :
Dans ce mode d'adressage, la valeur à traiter suit immédiatement le code opération. Exemple LDB#2 qui met la valeur 2 (%ØØØØØØ1Ø) dans l'accumulateur B.
Adressage étendu :
Dans ce mode d'adressage, la donnée à traiter se trouve à l'adresse qui suit le code instruction. Exemple LDX $E8ØC chargera X avec la donnée 16 bits rangée en E8ØC (MSB) et E8ØD (LSB).

Adressage direct :
Dans ce mode d'adressage, la donnée à traiter correspond à l'adresse dont les 8 bits LSB suivent le code instruction, les 8 bits MSB étant dans le registre de page directe DP.
Exemple STB $ØA rangera le contenu de B en 4ØØA si DP contient $4Ø.
Adressage étendu indirect :
Dans ce mode d'adressage, la donnée a pour adresse, celle qui se trouve rangée à l'adresse qui suit le code instruction.
Adressage relatif court :
Dans ce mode d'adressage, on ajoute au compteur programme (qui pointe déjà l'instruction suivante) la valeur qui suit l'instruction de branchement.
Cette valeur doit être comprise entre ØØ et FF ce qui ne permet donc des branchements que de + 127 en avant ou de − 128 (en arrière).
Adressage relatif long :
Dans ce mode d'adressage, comme le précédent, on ajoute au compteur programme la valeur qui suit les codes d'instructions. On peut dans ce cas se brancher dans toute la zone des 64 K mémoire.
Adressage indexé :
Dans ce mode d'adressage, l'un des registres sert d'index pour le calcul de l'adresse exacte de la donnée.
Adressage indexé indirect :
Dans ce mode d'adressage indexé, l'adresse obtenue ne contient pas la donnée, mais l'adresse de la donnée.
Pour tous ces adressages on se reportera à l'Annexe 1 du 68Ø9 en fin d'ouvrage.

— **Les interruptions**

FFFE	FFFF	RESET
FFFC	FFFD	NMI
FFFA	FFFB	SWI
FFF8	FFF9	IRQ
FFF6	FFF7	FIRQ
FFF4	FFF5	SWI2
FFF2	FFF3	SWI3
FFFØ	FFF1	Réservé

Pointeurs d'interruption

Les interruptions accessibles par l'utilisateur du TO7, car présentes sur le connecteur d'extension sont les suivantes :
RESET : un niveau bas sur cette entrée pendant un temps supérieur à 1µs provoque la réinitialisation du système, ce qui est équivalent à une action manuelle sur le bouton "INITIALISATION PROGRAMME" du TO7.
NMI : un front descendant sur cette entrée, suivit d'un maintien à l'état bas d'au moins 1µS, provoque une interruption non masquable et prioritaire. L'état du 68Ø9 est sauvegardé sur la pile système et le compteur programme est

chargé avec l'adresse contenue par les vecteurs $FFFC, $FFFD.
FIRQ : un niveau bas sur cette entrée provoque une séquence d'interruption rapide (prioritaire par rapport à IRQ) car il n'y a sauvegarde sur la pile que du contenu du registre de codes condition et du compteur programme.
Cette demande d'interruption n'est prise en compte que si le bit 6 (F) du CCR est à zéro.
IRQ : un niveau bas sur cette entrée provoque une séquence d'interruption avec sauvegarde sur la pile système **de l'état complet** du 68Ø9.
Cette demande n'est prise en compte que si le bit 4 (I) du CCR est à zéro.

Diagramme des temps pour les interruptions IRQ et NMI

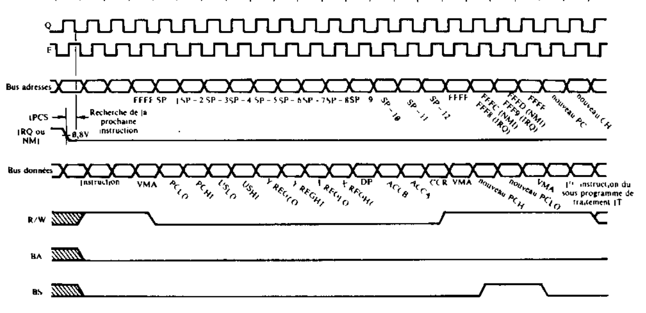
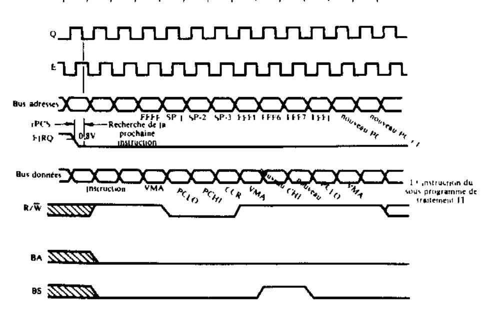


Diagramme des temps pour l'interruption FIRQ



• Le PIA 6821

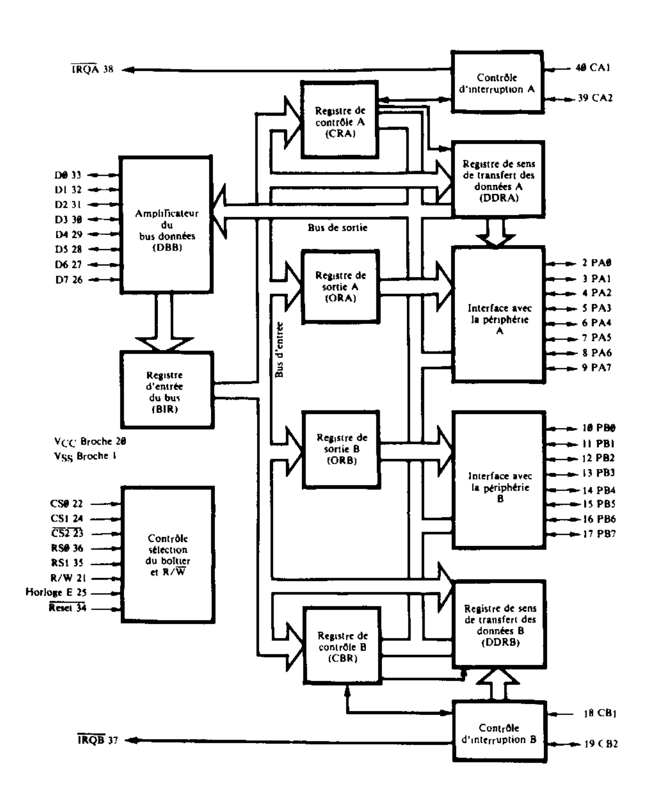
Ce circuit permet l'interfaçage entre le 68Ø9 et les périphériques par l'intermédiaire de deux ports parallèles de 8 bits programmables en entrées ou en sorties, et quatre lignes de contrôle utilisables individuellement pour gérer les interruptions ou comme E/S supplémentaires pour deux d'entre elles.
Le contrôle du PIA se fait par l'intermédiaire de 6 registres, auxquels on accède par deux bits de sélection RSØ et RS1, plus le bit 2 des registres de contrôle.
Ces six registres sont les suivants :
— ORA (et ORB), registre de sortie du PORT A (et du PORT B)
— DDRA (et DDRB), registre de sens de transfert des données du PORT A (et du PORT B)
— CRA (et CRB), registre de contrôle A (et B)
Les registres ORA et DDRA sont sélectionnés par le même code RS_1, $RS_Ø = ØØ$. Le choix de l'un ou de l'autre est fait suivant la valeur du bit 2 du registre CRA.

ADRESSAGE INTERNE

RS1	RSØ	Bit du registre de contrôle CRA-2	Bit du registre de contrôle CRB-2	Registre sélecté
0	0	1		Registre données de la périphérie A
0	0	0		Registre sens de transfert des données A
0	1			Registre de contrôle
1	0		1	Registre données de la périphérie B
1	0		0	Registre sens de transfert des données B
1	1			Registre de contrôle

Il en est de même pour ORB et DDRB différenciés par le CRB2. L'adressage de ces registres peut être fait en mode :
— 8 bits si $RS_Ø = A_Ø$ et $RS_1 = A_1$
— ou 16 bits si $RS_Ø = A_1$ et $RS_1 = A_Ø$, en effet dans ce dernier cas, les registres ORA et ORB sont situés à deux adresses contiguës, donc adressables par une donnée 16 bits.
La sélection du PIA se fait par trois bits $CS_Ø$, CS_1, $\overline{CS_2}$. Lorsque le PIA est sélectionné, le transfert des données se fait sous le contrôle de l'impulsion d'horloge E et de la ligne de lecture/écriture (R/$\overline{W}$).
Les deux lignes de sortie $\overline{IRQA}$ et $\overline{IRQB}$, actives au niveau Ø, sont à "drain ouvert", ce qui permet le "ou cablé". Elles sont gérées par le registre de contrôle.

DIAGRAMME FONCTIONNEL



FORMAT DES MOTS DE CONTROLE

	7	6	5	4	3	2	1	0
CRA	IRQA1	IRQA2	Contrôle de CA2			Accès à DDRA	Contrôle de CA1	

	7	6	5	4	3	2	1	0
CRB	IRQB1	IRQB2	Contrôle de CB2			Accès à DDRB	Contrôle de CB1	

Les bits Ø à 5 de ce registre peuvent être écrits ou lus par le 68Ø9.

Les bits 6 et 7 ne peuvent être que lus par le 68Ø9 et sont modifiés par les entrées externes CA_1 et CA_2 (ou CB_1 et CB_2).

a) Les deux premiers bits $CRA_Ø$ et CRA_1 permettent la gestion de l'entrée CA1 :
— Si CRAØ = Ø → $\overline{IRQA}$ est inhibée et bloquée à l'état haut.
— Si CRAØ = 1 → $\overline{IRQA}$ passe à l'état bas quand l'indicateur CRA_7 passe à l'état haut.
— Si CRA1 = Ø → l'indicateur d'interruption CRA_7 passe à l'état haut sur front descendant de CA_1.
— Si CRA1 = 1 → l'indicateur d'interruption CRA_7 passe à l'état haut sur front montant de CA1.

CONTROLE DES ENTRÉES D'INTERRUPTION
CA1 et CB1

CRA-1 (CRB-1)	CRA-Ø (CRS-Ø)		Indicateur d'interruption CRA 7 (CRB-7)	Demande d'interruption du MPU $\overline{IRQA}$ ($\overline{IRQB}$)
0	0	↓Active	Mis à un sur ↓ de CA1 (CB1)	Inhibée — IRQ reste à l'état haut
0	1	↓Active	Mis à un sur ↓ de CA1 (CB1)	Passe à l'état bas quand l'indicateur CRA-7 (CRB 7) passe à l'état haut
1	0	↑Active	Mis à un sur ↑ de CA1 (CB1)	Inhibée — $\overline{IRQ}$ reste à l'état haut
1	1	↑Active	Mis à un sur ↑ de CA1 (CB1)	Passe à l'état bas quand l'indicateur CRA 7 (CRB-7) passe à l'état haut

Notes
1 ↑ Transition positive
2 ↓ Transition négative
3 L'indicateur d'interruption CRA-7 (CRB-7) est mis à zéro par une lecture du registre données de la périphérie A (B) par le MPU
4 Si CRA-Ø (CRB-Ø) est zéro (interruption inhibée) quand l'interuption se produit et est, par la suite, mis à un, IRQA (IRQB) passe à l'état bas après que CRA-Ø (CRB-Ø) soit à l'état haut

c) Le bit CRA2 permet d'accéder :
— au registre DDRA si CRA2 = Ø
— au registre ORA si CRA2 = 1

d) Les 3 bits CRA3 — CRA4 — CRA5 permettent la gestion de la ligne CA2 :
— Si CRA5 = Ø → CA2 est programmée en **entrée d'interruption** et alors les bits CRA3 et CRA4 fonctionnent vis-à-vis de cette entrée et de l'indicateur CRA6, comme précédemment CRAØ et CRA1 le faisaient vis-à-vis de CA1 et CRA7.

CONTROLE DE CA2 ET CB2 COMME ENTRÉES D'INTERRUPTION
CRA-5 (CRB-5) est à zéro

CRA-5 (CRB-5)	CRA-4 (CRB-4)	CRA-3 (CRB-3)	Transition active de l'entrée d'interruption CA2 (CB2)	Indicateur d'interruption CRA-6 (CRB-6)	Demande d'interruption du MPU $\overline{IRQA}$ ($\overline{IRQB}$)
0	0	0	↓Active	Mis à un sur ↓ de CA2 (CB2)	Inhibée — IRQ reste à l'état haut
0	0	1	↓Active	Mis à un sur ↓ de CA2 (CB2)	Passe à l'état bas quand l'indicateur CRA-6 (CRB-6) passe à un.
0	1	0	↑Active	Mis à un sur ↑ de CA2 (CB2)	Inhibée — $\overline{IRQ}$ reste à l'état haut
0	1	1	↑Active	Mis à un sur ↑ de CA2 (CB2)	Passe à l'état bas quand l'indicateur CRA-6 (CRB-6) passe à un.

Notes :
1 ↑ Transition positive
2 ↑ Transition négative
3 L'indicateur d'interruption CRA-6 (CRB-6) est mis

— Si CRA5 = 1 → CA2 est programmée comme bit de sortie supplémentaire.
Attention : comme sorties, CA2 et CB2 ont des modes de fonctionnement différents.
— Si CRA4 (ou CRB4) = 1 alors CA2 = CRA3 (et CB2 = CRB3).
Dans ce mode CA2 (CB2) est une sortie que l'on met à zéro ou à un par mise au niveau identique de CRA3 (CRB3).
— Si CRA4 = Ø (ou CRB4) alors CA2 (CB2) est utilisée comme sortie de contrôle selon le mode "poignée de main" (handshaking) afin de permettre la synchronisation des échanges.
Dans ce cas le fonctionnement est différent pour CA2 et CB2. Se reporter aux tableaux ci-dessous.

Fonctionnement du registre DDRA (DDRB)
Si le bit CRA2 (CRB2) est à Ø, on accède alors pour $RS_Ø$, RS_1 = ØØ au registre DDRA, et pour $RS_Ø$, RS_1 = Ø1 au registre DDRB.
A chaque bit de ces registres est associé une ligne du PORT de même nom. Si ce bit est :
— à "1", la ligne du PORT sera une sortie.
— à "Ø", la ligne du PORT sera une entrée.

Lors d'un reset, tous les registres étant mis à zéro, **les deux PORT A et B sont donc initialisés en entrées.**

CONTROLE DE CB2 COMME SORTIE
CRB-5 est à un

CRB-5	CRB-4	CRB-3	CB2	
			Mis à zéro	Mis à un
1	0	0	Bas sur la transition positive de la première impulsion E qui suit une écriture du registre données de la périphérie B.	Haut quand l'indicateur d'interruption CRB-7 est mis à un par une transition active du signal CB1.
1	0	1	Bas sur la transision positive de la première impulsion E qui suit une écriture du registre données de la périphérie B.	Haut sur la transition positive de la première impulsion E qui suit une impulsion E qui était arrivée tandis que le circuit était désélecté.
1	1	0	Bas quand CRB-3 est mis à zéro par une écriture du registre de contrôle B.	Toujours bas tant que CRB 3 est à zéro. Passera à l'état haut quand CRB-3 sera mis à un par une écriture du registre de contrôle B.
1	1	1	Toujours haut tant que CRB-3 est à un. Passera à l'état bas quand CRB-3 sera mis à zéro par une écriture du registre de contrôle B.	Haut quand CRB-3 est mis à un par une écriture du registre de contrôle B.

CONTROLE DE CA2 COMME SORTIE
CRA-5 est à un

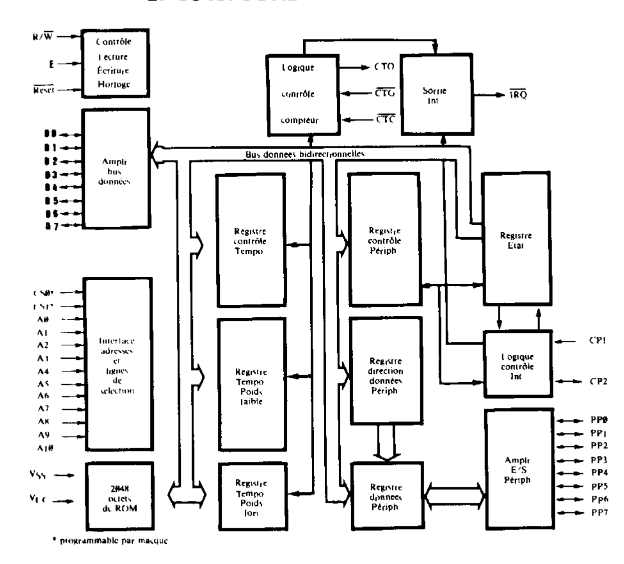
CRA-5	CRA-4	CRA-3	CA2	
			Mis à zéro	Mis à un
1	0	0	Bas sur la transition négative de la première impulsion E qui suit une écriture du registre données de la périphérie A.	Haut quand l'indicateur d'interruption CRA-7 est mis à un par une transition active du signal CA1.
1	0	1	Bas sur la transision négative de la première impulsion E qui suit une écriture du registre données de la périphérie A.	Haut sur la transition négative de la première impulsion E qui suit une impulsion E qui était arrivée tandis que le circuit était désélecté.
1	1	0	Bas quand CRA-3 est mis à zero par une écriture du registre de contrôle A.	Toujours bas tant que CRA-3 est à zéro. Passera à l'état haut quand CRA-3 sera mis à un par une écriture du registre de contrôle A.
1	1	1	Toujours haut tant que CRA-3 est à un. Passera à l'état bas quand CRA-3 sera mis à zéro par une écriture du registre de contrôle A.	Haut quand CRA-3 est mis à un par une écriture du registre de contrôle A

Fonctionnement du registre ORB (ORA)
Ce registre permet d'écrire dans les PORTS de sortie et d'y mémoriser les valeurs. Une écriture de données dans ORA (ou ORB) n'affecte réellement que les bits préalablement sélectionnés comme sorties par le registre DDRA (ou DDRB).

Le 6846

Ce circuit contient :
— 2 K octets de mémoire morte programmable par masque
— 1 port bidirectionnel de 8 bits avec lignes de contrôle
— 1 temporisateur-compteur programmable

EF 6846. SCHEMA FONCTIONNEL



Dans le TO7, les 2 K de mémoire contiennent la partie du moniteur comprise entre les adresses $E800 et $EFFF.

Le PORT parallèle a les mêmes caractéristiques que le PORT B du PIA 6821. **Toutefois** tous les registres, registre de direction des données, registre de données périphériques et registre de contrôle périphérique, sont directement accessibles par des adresses distinctes.
Ce PORT fournit :
— **la commande** de couleur du cadre (bits 4, 5 et 6), et la demi-teinte (bit 2) **pour le** TO7-70.

— la commande de l'aiguillage des données pour l'écriture des mémoires point ou couleur (bit Ø).
— la commande de la diode LED minuscule (bit 3)
Il reçoit :
— les signaux démodulés en provenance du lecteur-enregistreur de programme (bit 7)
— la lecture de l'interruption du crayon optique (bit 1)
La ligne de demande d'interruption CP1 est disponible sur le connecteur standard (IRQ-2). Cette entrée peut être programmée pour être validée sur une transition soit positive, soit négative du signal, à l'aide des bits PCRØ et PCR1 du registre de contrôle périphérique.
La ligne de contrôle CP2 est programmée en sortie et sert à actionner le buzzer interne du TO7 (et le haut-parleur du poste TV via la sortie SON de la prise PERITEL).
Le PIA étant sélecté à partir de l'adresse $E7CØ, on trouvera donc à partir de cette adresse les 7 registres internes du 6846.

A2	A1	AØ	REGISTRE SÉLECTIF
Ø	Ø	Ø	Registre d'état composite (CSR)
Ø	Ø	1	Registre contrôlé périphérique (PCR)
Ø	1	Ø	Registre direction des donné (DDR)
Ø	1	1	Registre données périphériques (PDR)
1	Ø	Ø	Registre d'état composite (CSR)
1	Ø	1	Registre contrôle temporisateur (TCR)
1	1	Ø	Registre temporisateur d'octet de poids fort
1	1	1	Registre temporisateur d'octet de poids faible
x	x	x	Adresse mémoire ROM

Seule l'entrée CP1 est accessible à l'utilisateur. On la programme par accès au registre de contrôle du port P d'adresse &HE7C1
— Si le bit Ø du PCR est à Ø → CP1 est masquée, donc pas d'interruption possible.
— Si le bit Ø du PCR est à 1 → CP1 est validée, et dans ce cas :
  — Si le bit 1 (PCR1) est à Ø, alors CP1 est active sur front descendant
  — Si le bit 1 (PCR1) est à 1, alors CP1 est active sur front montant.

Le temporisateur
Dans le TO7 il est utilisé pour coder les informations à enregistrer sur le LEP, pour faire clignoter le curseur, et pour la répétition automatique du clavier.
La sortie 19 (CTO) délivre des informations digitales codées en salves de fréquence (liaison série asynchrone) :
— 5 périodes à 4,5 KHz pour le bit "Ø"
— 7 périodes à 6,3 KHz pour le bit "1"

Le temporisateur du 6846 contient un compteur 16 bits adressable par l'intermédiaire de deux registres tampons, en écriture de 8 bits chacun. Ces registres MSB et LSB sont aux adresses $E7C6 et $E7C7.
On peut donc écrire la valeur souhaitée directement à partir d'une donnée 16 bits contenue dans un des registres 16 bits du 68Ø9.
Le contenu des registres tampons n'est transféré dans le compteur que lorsqu'on lui en donne l'ordre.
Dans le TO7, cet ordre ne peut venir que de la mise à 1 du bit Ø (TCRØ) du registre de contrôle du temporisateur situé à l'adresse $E7C5, ou avec une commande d'écriture des registres tampons (en fonction du mode).
Dès l'initialisation du compteur, les indicateurs d'interruption du compteur sont remis à zéro.
On peut alors fonctionner :

— *en mode continu* si TCR3 = Ø, TCR7 = 1 et TCR5 = Ø
Dans ce mode, un signal carré est généré sur la sortie 19 (CTO), si cette sortie est validée par TCR7 à 1. D'autre part si TCR4 est à Ø, l'initialisation peut se faire simplement par écriture dans les registres tampons.
Le temporisateur fonctionne de la même manière que la sortie CTO soit validée (TCR7 à 1) ou inhibée (TC7 à Ø). Si le nombre 16 bits chargé dans le compteur est N alors la sortie reste à l'état bas pendant (N + 1) fois la période de l'horloge E, soit (N + 1)µs, puis passe à 1 pendant N + 1µs etc.
Si on souhaite que l'horloge soit précomptée par un diviseur par 8 il faut que TCR2 soit à 1.

— *en mode monocoup normal :* si TCR3 = Ø, TCR4 = 1 et TCR5 = 1.
A deux exceptions près ce mode est identique au précédent :
1. La sortie est à l'état bas pendant 1µs après l'initialisation du compteur puis passe à l'état haut pendant les Nµs suivantes pour enfin se rebloquer à l'état bas jusqu'à la prochaine initialisation du compteur.
2. Le TO7 n'est pas concerné par la deuxième exception puisque les deux entrées d'initialisation $\overline{CTG}$ et $\overline{CTC}$ sont au ØV.

— *en mode cascade monocoup* si TCR3 = Ø, TCR4 = Ø et TCR5 = 1.
Dans ce mode, la sortie CTO ne passe pas à l'état bas après l'initialisation.
D'autre part en fin de comptage, la sortie CTO prend le niveau du bit TCR7 :
— Si ce bit est mis à 1 avant la fin de tempo, alors la sortie CTO reste à 1 pendant le cycle suivant.
— Si ce bit est mis à Ø avant la fin de tempo, alors la sortie CTO passe à Ø pendant le cycle suivant.
Ces différents modes de fonctionnement sont résumés dans les tableaux ci-dessous. D'autre part, on en verra des exemples d'applications lors de l'étude de la gestion du LEP et de l'interface RS232.

REGISTRE D'ÉTAT COMPOSITE

CSR7	CSR3-CSR6 NON UTILISÉS LUS COMME DES ZÉRO	CSR2	CSR1	CSR0

- **CSR7** : INDICATEUR D'INTERRUPTION COMPOSITE
  0 = PAS D'INDICATEUR D'INT. VALIDÉ MIS A UN
  1 = UN OU PLUSIEURS INDICATEURS D'INT. VALIDÉS MIS A UN
  L'INVERSE DE CE BIT APPARAIT EN SORTIE IRQ
  L'ÉTAT DE CE BIT PEUT S'EXPRIMER COMME SUIT
  CSR7 = CSR0•TCR6 + CSR1•PCR0 + CSR2•PCR3
- **CSR2** : CP2 INDICATEUR D'INTER-RUPTION
  0 = PAS DE REQUETE D'INT
  1 – REQUÊTE D'INT
- **CSR1** : INTERRUPTION CP1
  0 – PAS DE REQUETE D'INT.
  1 = REQUETE D'INT
- **CSR0** : INDICATEUR D'INTERRUPTION TEMP
  0 = PAS DE REQUETE D'INTERRUPTION
  1 – REQUETE D'INTERRUPTION

FORMAT DU REGISTRE DE CONTROLE COMPTEUR/TEMPORISATEUR

BIT REGISTRE DE CONTRÔLE	ÉTAT	DÉFINITION DU BIT	DÉFINITION DE L'ÉTAT
TCRØ	0	Initialisation interne	Validation temporisateur
	1		Temporisateur à l'état pré-établi
TCR1	0	Source horloge	Temporisateur utilise une horloge externe ($\overline{\text{CTC}}$)
	1		Temporisateur utilise l'horloge système Ø2
TCR2	0	Validation par pré-compteur diviseur par 8	L'horloge n'est pas pré-comptée
	1		L'horloge est pré-comptée par compteur diviseur par 8
TCR3 TCR4 TCR5	x x x	Sélection du mode de fonctionnement	Voir tableau 3
TCR6	0	Validation interruption temporisateur	$\overline{\text{IRQ}}$ du temporisateur masqué
	1		$\overline{\text{IRQ}}$ du temporisateur validé
TCR7	0	Validation sortie temporisateur	Sortie compteur (CTO) mise à l'état bas
	1		Sortie compteur validée

MODES DE FONCTIONNEMENT

TCR3	TCR4	TCR5	Mode fonctionnement du temporisateur	Initialisation compteur	Indicateur d'interruption mis à un
0	0	0	Continu	$\overline{\text{CTG}}\downarrow + W + R$	TO
0	0	1	Cascade monocoup	$\overline{\text{CTG}}\downarrow + R$	TO
0	1	0	Continu	$\overline{\text{CTG}}\downarrow + R$	TO
0	1	1	Normal Monocoup	$\overline{\text{CTG}}\downarrow + R$	TO
1	0	0	Comparaison de fréquence	$\overline{\text{CTG}}\downarrow.\text{I}.(W + TO) + R$	$\overline{\text{CTG}}\downarrow$ avant TO
1	0	1		$\overline{\text{CTG}}\downarrow.\text{I} + R$	TO avant $\overline{\text{CTG}}\downarrow$
1	1	0	Comparaison de largeur d'impulsion	$\overline{\text{CTG}}\downarrow.\text{I} + R$	$\overline{\text{CTG}}\uparrow$ avant TO
1	1	1			TO avant $\overline{\text{CTG}}\uparrow$

R = Condition d'initialisation
W = Écriture des registres tampon du temporisateur
TO = Fin de comptage
CTG = Transition positive sur la broche 17
T = Indicateur d'interruption (CSRØ) = Ø

MODES DE FONCTIONNEMENT CONTINU

MODE CONTINU (TCR3 = Ø, TCR7 = 1, TCR5 Ø)			
REGISTRE DE CONTRÔLE		INITIALISATION/SIGNAUX DE SORTIE	
TCR2	TCR4	Compteur	Sortie temporisateur (2X)
0	0	Initialisation $\overline{\text{CTG}}\downarrow + W + R$	(N + 1) (T) | (N + 1) (T) | (N + 1) (T) — V_{OH} / V_{OL} — to, TO, TO, TO
0	1	$\overline{\text{CTG}}\downarrow + R$	

$\overline{\text{CTG}}\downarrow$ = Transition négative sur l'entrée $\overline{\text{CTG}}$

$\overline{W}$ = Commande d'écriture des registres tampon du temporisateur

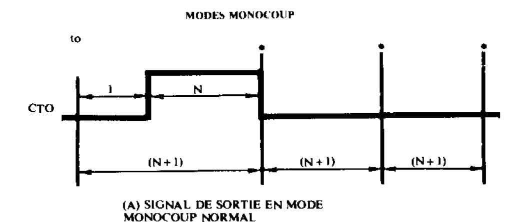
R = Mise à zéro du temporisateur (TCRØ) = 1 ou $\overline{\text{RESET}}$ externe = Ø)

N = Nombre de 16 bits dans les registres tampon du compteur

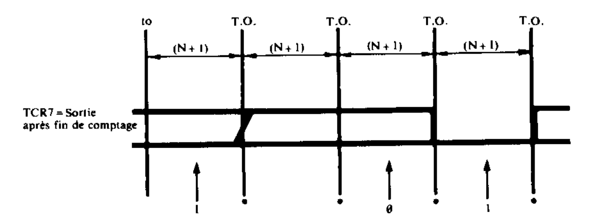
T = Période d'entrée horloge vers compteur

to = Cycle d'initialisation compteur

TO = Fin de comptage (condition tout à zéro)

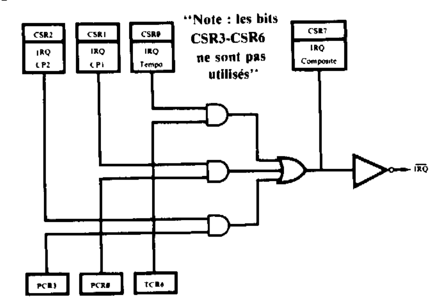


(A) SIGNAL DE SORTIE EN MODE MONOCOUP NORMAL



Le registre d'état composite (CSR) d'adresse $E7CØ est un registre à lecture seule qui est partagé par le temporisateur et le port parallèle.
Seuls les bits CRØ, CR1, CR2 et CR7 sont utilisés et permettent la demande d'interruption IRQ s'ils sont mis à un via les conditions appropriées dans le temporisateur ou le port parallèle.
D'autre part l'interruption n'est possible que si les bits actifs sont mis à un dans les registres de contrôle appropriés, conformément au schéma ci-dessous.

Registre d'état composite et logique associée



Le bit CSR7 est mis à un quand IRQ passe à zéro. Il ne peut être remis à zéro que si tous les indicateurs d'interruption ont été remis à zéro.
Le bit CSRØ peut être remis à Ø par :
— reset externe ou interne (TCRØ à 1)
— initialisation du compteur
— commande de lecture du compteur, précédée d'une lecture du CSR pendant que CSRØ est mis à 1.

3. Les entrées/sorties

3.1 Bus standard

Trois sorties de bus standard sont prévues à l'arrière du TO7. Elles se présentent sous forme de trois "nez de carte" destinés à recevoir les extensions A, B et C.
Le connecteur d'extension est du type 2 × 19 contacts (double face) au pas de 2,54 mm (par exemple SOCAPEX 254DF19 AYV8C).
Aux différents contacts correspondent les entrées/sorties ci-dessous :

SORTIE EXTENSION TO7

Dessus A — 19 … 1

Dessous B — Vue de face

	A	B
1	GND	+ 12V
2	CP1	GND
3	$\overline{E7C}$	SON
4	$\overline{CSE}$	R/$\overline{W}$
5	A11	E
6	A1Ø	D7
7	A9	D6
8	A8	D5
9	A7	D4
1Ø	A6	D3
11	A5	D2
12	A4	D1
13	A3	DØ
14	A2	$\overline{RST}$
15	A1	$\overline{FIRQ}$
16	AØ	$\overline{NMI}$
17	$\overline{CSD}$	$\overline{IRQ}$
18	$\overline{CSC}$	Video
19	+ 5V	− 5V

SON : Entrée son
$\overline{E7C}$: Select E7Cx
$\overline{CSE}$: Select E000-EFFF
Video : Pin 19 prise SCART
E : Enable extension

Dessus A

1	GND	Référence ØV du TO7
2	CP1	Entrée interruption du 6846 (U1)
3	$\overline{E7C}$	Signal actif au niveau bas pour les adresses $E7CX, permettant la sélection des PIA d'extension
4	$\overline{CSE}$	Signal actif au niveau bas pour les adresses $EØØØ à $EFFF
5	A_{11}	
6 … 16	A_{10} … A_0	Bits A_0-A_{11} du bus d'adresse
17	$\overline{CSD}$	Signal actif au niveau bas pour les adresses $ DØØØ à $DFFF
18	$\overline{CSC}$	Signal actif au niveau bas pour les adresses $ CØØØ à $ CFFF
19	+ 5V	Alimentation + 5V du TO7

Toutes les sorties proviennent de circuits TTL (LS) :
— $\overline{CSC}$, $\overline{CSD}$ et $\overline{CSE}$ viennent du décodeur d'adresse U14 ≡ 74LS139
— $\overline{E7C}$ vient du circuit de décodage 74LSØ2
— Les bits d'adresses sont tamponnés par des circuits 74LS241

L'entrée CP1 permet d'envoyer une interruption au 6846. On se reportera à la notice de ce circuit pour une étude complète de son fonctionnement.
La sortie d'alimentation + 5V peut fournir jusqu'à 3 ampères si aucune extension n'est reliée au TO7.

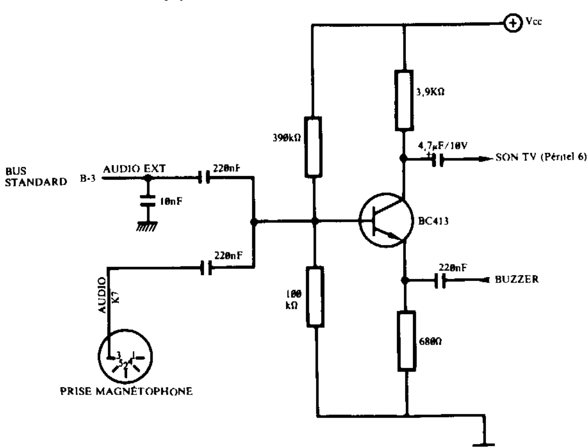
Dessous B

1	+ 12V	Alimentation + 12V du TO7
2	GND	Référence 0V du TO7
3	SON	Entrée SON du TO7
4	R/$\overline{W}$	Signal de lecture/écriture en provenance du MPU 6809
5	E	Signal d'horloge E du 6809 bufferisé par 74LS241
6	D7	
7	D6	
	⋮	Bits D_0-D_7 de données
12	D1	
13	D0	
14	$\overline{RST}$	Entrée de reset du MPU 6809
15	$\overline{FIRQ}$	
16	$\overline{NMI}$	Entrées d'interruptions vectorisées du 6809
17	$\overline{IRQ}$	
18	Vidéo	Entrée vidéo reliée à la borne 19 de la prise Péritel
19	− 5V	Alimentation − 5V du TO7 Vidéo composite en provenance du téléviseur.

— Les sorties E et D_0-D_7 sont toutes compatibles TTL puisque bufferisées par des circuits LS (LS241 unidirectionnel pour E, et LS245 bidirectionnel pour le bus de donnée).
— La sortie R/$\overline{W}$ vient du MPU 6809 directement sans buffer LS.
— L'entrée SON est envoyée via C10 (220nf) sur la base d'un amplificateur émetteur commun réalisé autour du transistor T1 (BC413) monté en résistance d'émetteur non découplée, ce qui lui donne un gain en tension d'environ 5 ou 6.

L'entrée AUDIO du LEP attaque ce même étage via C3 (220 nf) ce qui permet la récupération du son venant du lecteur à cassette sur le bus standard et vice-versa sans amplification.
La sortie amplifiée est prélevée sur le collecteur de T1 et envoyée sur la sortie SON de la prise Péritel (broche 6) via le condensateur C12 (4,7µF/10V).
Le niveau de tension sur cette entrée son doit être d'environ 170mV puisque les sorties Péritel sont normalisées à 0,8V/75Ω.

SCHÉMA DE L'AMPLI SON



— Toutes les entrées d'interruption, $\overline{RST}$, $\overline{FIRQ}$, $\overline{NMI}$ et $\overline{IRQ}$ sont connectées directement au MPU 6809 et doivent pour être actives, être maintenues au niveau bas pendant au moins un cycle d'horloge. (Se reporter à la notice 6809).
— L'entrée vidéo est reliée directement à la borne 19 de la prise Péritel, et reçoit donc le signal vidéo composite venant du téléviseur. C'est grâce à cette liaison que pourra être développée l'"incrustation" sur le TO7-70.
— L'alimentation + 12V peut fournir jusqu'à 700mA
— L'alimentation − 5V peut fournir jusqu'à 90mA
Attention : les valeurs données ci-dessus (courants d'alimentations) sont des valeurs maximales. Pour des raisons de sécurité, et si des extensions sont utilisées, il est nécessaire de diminuer ces valeurs afin de ne pas provoquer un échauffement trop important des régulateurs.

3.2 Bus extension mémoire

Cette sortie de bus se fait également sous forme d'un "nez de carte" destiné à recevoir le connecteur d'extension RAM 16 K.
Le connecteur sera du même type que pour le bus standard, mais avec cette fois seulement 2×13 contacts (double face) au pas de 2,54 mm (connecteur SOCAPEX 254 DF13 AYV).
Aux différents contacts correspondent les entrées/sorties ci-dessous :

SORTIE EXTENSION MÉMOIRE TO7

Dessus A 13 1

Dessous B Vue de face

	A	B
1	+12V	+5V
2	AØ	D7
3	A1	D6
4	A2	D5
5	A3	D4
6	A4	D3
7	A5	D2
8	A6	D1
9	$R/\overline{W}$	DØ
1Ø	CLOCK	$\overline{OE}$
11	$\overline{RAS}$	$\overline{CAS}$
12	GND	GND
13	GND	−5V

Dessus A

1	+12V	Alimentation +12V du TO7
2	A_0/A_7	Bits A_0-A_6/A_7-A_{13} du bus d'adresse multiplexé
3	A_1/A_8	
7	A_5/A_{12}	
8	A_6/A_{13}	
9	$R/\overline{W}$	Signal de lecture/écriture en provenance du MPU 68Ø9
1Ø	CLOCK	Signal d'horloge 2MHz
11	$\overline{RAS}$	Signal d'échantillonage d'adresse ligne RAM 4116
12	GND	Référence ØV du TO7
13	GND	Référence ØV du TO7

— L'alimentation +12V peut fournir jusqu'à 7ØØ mA (voir précédemment).
— Les 7 bits d'adresses A_0/A_6 proviennent des multiplexeurs 74LS157 destinés aux RAMS dynamiques de l'extension et permettent grâce au multiplexage par ligne et par colonne des 4116 de fournir les 2^{14} adresses soit 16384 bits/RAM.
— Le signal $R/\overline{W}$ est le signal $\overline{RAMW} = R/\overline{W} + \overline{E\mu}$ bufferisé par une porte 74LS 241. Il ne sera au niveau bas que si l'on est en mode écriture ET sur niveau bas de l'horloge E.
— Le signal CLOCK (2MHz) est totalement compatible TTLLS puisque pris sur la sortie Q du registre 74LS165.
— Le signal RAS sélectionnant les lignes des 4116 est pris en sortie d'une porte 74LS241

Dessous B

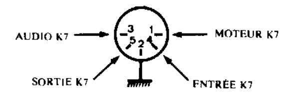
1	+5V	Alimentation +5V du TO7
2	D_7	Bits D_0-D_7 du bus de données
3	D_6	
8	D_1	
9	D_0	
1Ø	$\overline{OE}$	Signal de déconnection des datas RAMS du bus de données si l'extension n'est pas adressée, ou en mode écriture
11	$\overline{CAS}$	Signal d'échantillonage colonne des 4116
12	GND	Référence OV du TO7
13	−5V	Alimentation −5V du TO7

— Les 8 bits de données sont reliés au bus interne via un circuit bidirectionnel 74LS245. Il est nécessaire de prévoir dans l'extension un "latch" unidirectionnel 3 états 74LS374 sélectionné par OE en mode lecture seulement des RAMS d'extension, donc dans la plage d'adresse $8ØØØ-$BFFF.
— Le signal $\overline{OE} = \overline{(8000\text{-}BFFF)}_{16} + R/\overline{W}$ déconnectera via le latch "extension-mémoire" le bus de sortie des datas de l'extension du bus de données lorsque celle-ci n'est pas adressée (en dehors de 8ØØØ-BFFF) ou lorsque le 68Ø9 envoie un ordre d'écriture.
Ce signal pris en sortie d'une porte OU de U15 (74LS32) est donc un signal de sortie TTL LS.
— Le signal $\overline{CAS}$ permet la validation de l'adressage en colonne des RAMS 4116. Ce signal est bufferisé par une porte 74LS241.
— L'alimentation +5V peut fournir jusqu'à 3A.
— L'alimentation −5V peut fournir jusqu'à 9Ø mA. (voir précédemment).

3.3 Entrées/Sorties vers le magnétophone

La prise de connection au magnétophone est une prise standard 5 broches DIN. On peut donc éventuellement utiliser un prolongateur 5 broches MALE DIN/5 broches FEMELLE DIN.

Prise magnétophone P2



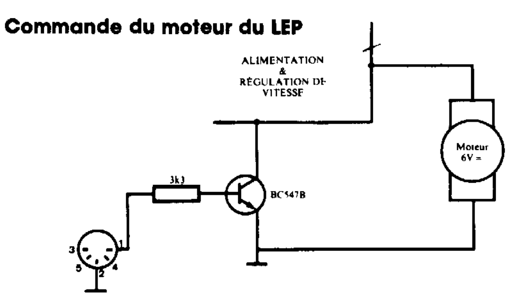
1	Moteur K7	Commande le moteur du LEP
2	GND	Référence ØV du TO7
3	Audio K7	Lecture de la piste audio du LEP
4	Entrée K7	Lecture d'un programme enregistré sur le LEP
5	Sortie K7	Sortie d'un programme en RAM vers le LEP.

— **La sortie 1** de commande du moteur K7 est reliée à la sortie CA2 du PIA 6821 système. Pour bien comprendre ce qui suit il faut avoir préalablement assimilé le fonctionnement du registre CRA d'un PIA 6821.
Les bits CRA-4 et CRA-5 étant à 1 :

— Si CRA3 = Ø → CA2 est mis à zéro → MOTOR ON
— Si CRA3 = 1 → CA2 est mis à un → MOTOR OFF

Dans le LEP, l'entrée MOTEUR K7 commande un transistor BC547B via une résistance de 3,3 kΩ, dont l'effet est :
— S'il est bloqué, de ne pas agir sur l'alimentation du moteur.
— S'il est saturé, de couper l'alimentation du moteur.

Commande du moteur du LEP

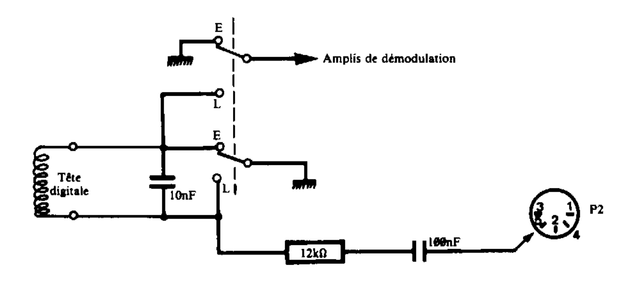


— **La borne 3** de la prise P2 est une entrée du TO7 qui lit la piste audio de la cassette et envoit ce signal vers la sortie son TV. Le signal audio K7 est amplifié dans le TO7 par le même montage à transistor amplifiant le signal AUDIO EXT disponible sur le bus standard (B-3). (Niveau ≃ 170 mV).
Se reporter au schéma donné précédemment lors de l'étude de ce bus.

Gestion des E/S digitales (4 et 5)

• **Étude hardware :**
a) *En sortie* (5), le TO7 envoie sur la borne 5 de la prise magnétophone P2, les impulsions générées par soft sur la sortie CO (patte 19) du temporisateur 6846 (voir pages précédentes). Ces informations digitales sont codées en salve de fréquence :
— 5 périodes à 4,5 kHz pour le bit "Ø"
— 7 périodes à 6,3 kHz pour le bit "1"
Dans le LEP, ces informations digitales de niveau TTL sont envoyées sur la tête digitale d'enregistrement/lecture via un circuit R-C série (12KΩ-1ØØnF).

Entrée digitale du LEP



b) *En entrée (4),* les informations en provenance du LEP sont envoyées dans le TO7, sur le bit 7 du PORT parallèle du 6846 (patte 28). Ce bit est initialisé en entrée.
Dans le LEP, les informations lues sur la piste digitale sont amplifiées, et démodulées afin de fournir des octets sérialisés à 9ØØ Bauds asynchrones adaptés au TO7. Tant que le moteur est OFF, la sortie du LEP est à "1" (+5V).

• Étude Software

Le moniteur du TO7 contient un programme appelé "CONTROLEUR DE MINI CASSETTE" (K7CO$) dont le point d'entrée est en $E815.
Ce programme utilise un registre, K7.OPC, rangé en page Ø à l'adresse &H6Ø29, et dont le contenu est un mot de code permettant les opérations : OPEN en LECTURE, OPEN en écriture, CLOSE, SAISIE d'un OCTET, ENVOI d'un OCTET, grâce aux paramètres ci-dessous :
K7.OPR = % ØØØØ ØØØ1 OPEN en LECTURE
K7.RDC = % ØØØØ ØØ1Ø LIRE un OCTET
K7.OPW = % ØØØØ Ø1ØØ OPEN en ECRITURE
K7.WRT = % ØØØØ 1ØØØ ECRIRE un OCTET
K7.CLS = % ØØØ1 ØØØØ CLOSE

Le registre d'état K7.STAT, rangé en &H6Ø2A, servira à indiquer le type d'opération réalisée ou la cause d'une erreur.
K7.NRD = % 1ØØØ ØØØØ LECTEUR pas PRET
En sortie, si le bit de carry C du registre CODE CONDITION est :
— à Ø → opération normale
— à 1 → erreur
Les autres registres utilisés sont :
— TCR SAV (&H6Ø64) qui sauvegarde *l'état* courant du TIMER
— TCT SAV (&H6Ø65) qui sauvegarde *le compte* courant du TIMER
La vitesse de transmission est de 9ØØ bauds.

En lecture comme en écriture, les octets sont passés par B

Plusieurs appels successifs de ce sous-programme sont donc nécessaires aussi bien pour écrire sur le LEP que pour y lire des informations.

Exemple : Écriture d'un octet :

1. Ouverture en écriture :
— Mettre le code K7.OPW dans K7.OPC
— Appeler K7CO$

2. Écriture de l'octet :
— Mettre le code K7.WRT dans K7.OPC
— Mettre l'octet dans B
— Appeler K7CO$
3. Fermeture :
— Mettre le code K7.CLS dans K7.OPC
— Appeler K7CO$

Lorsqu'on demande une ouverture en écriture :
— le moteur est alimenté (CRA3 du 6821 = Ø)
— une temporisation de 1 seconde est lancée pour stabiliser la bande
— on revient du S-P (RTS)

Lorsqu'on demande une ouverture en lecture :
— le moteur est alimenté
— on revient du sous-programme

Lorsqu'on demande un Close :
— une temporisation de 1/2s est lancée
— le moteur est OFF (CRA3 = 1)
— on revient du S.P.

On trouvera ci-dessous deux programmes objet permettant :
— La sauvegarde d'un écran POINTS sur cassette, par lecture des adresses de la RAM POINTS, de $4ØØØ à $5F4Ø
— La lecture d'un écran sur cassette avec restitution en RAM POINTS.

```
            4000 STAD    EQU   $4000
            5F40 ENDAD   EQU   $5F40
            6029 K7OPC   EQU   $6029
            0004 K7OPW   EQU   4
            0008 K7WRT   EQU   8
            0010 K7CLS   EQU   $10
            E815 K7CO    EQU   $E815
            0004 EOT     EQU   4

A000                     ORG   $A000

A000 34     56   DEBUT   PSHS  U,X,B,A
A002 86     04           LDA   #K7OPW
A004 B7     6029         STA   K7OPC
A007 BD     E815         JSR   K7CO
A00A 86     08           LDA   #K7WRT
A00C B7     6029         STA   K7OPC
A00F CE     A034         LDU   #CODE
A012 E6     C0           LDB   ,U+
A014 C1     04           CMPB  #EOT
A016 27     05           BEQ   SUITE
A018 BD     E815         JSR   K7CO
A01B 20     F5           BRA   *-9

A01D 8E     4000 SUITE   LDX   #STAD
A020 E6     80   BOUCLE  LDB   ,X+
A022 BD     E815         JSR   K7CO
A025 8C     5F41         CMPX  #ENDAD+1
A028 26     F6           BNE   BOUCLE
```

```
                4000 STAD      EQU      $4000
                5F40 ENDAD     EQU      $5F40
                6029 K7OPC     EQU      $6029
                0001 K7OPR     EQU      $1
                0002 K7RDC     EQU      $2
                0010 K7CLS     EQU      $10
                E815 K7CO      EQU      $E815

A000                           ORG      $A000

A000 34         56   DEBUT     PSHS     U,X,B,A
A002 86         01             LDA      #K7OPR
A004 B7         6029           STA      K7OPC
A007 BD         E815           JSR      K7CO
A00A 86         02             LDA      #K7RDC
A00C B7         6029           STA      K7OPC

A00F CE         A034 RECH      LDU      #CODE
A012 BD         E815           JSR      K7CO
A015 E1         C0             CMPB     ,U+
A017 26         F6             BNE      RECH
A019 C1         45             CMPB     #$45
A01B 26         F5             BNE      *-9

A01D 8E         4000           LDX      #STAD
A020 BD         E815 BOUCLE    JSR      K7CO
A023 E7         80             STB      ,X+
A025 8C         5F41           CMPX     #ENDAD+1
A028 26         F6             BNE      BOUCLE
A02A 86         10             LDA      #K7CLS
A02C B7         6029           STA      K7OPC
A02F BD         E815           JSR      K7CO
A032 35         D6             PULS     U,X,B,A,PC


A034            43   CODE      FCC      /CODE/
                4F
                44
                45


                0000           END

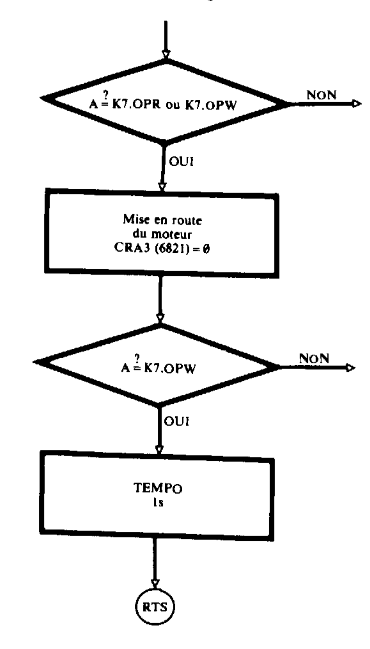
00000 Total Errors
```


Dans chacun d'eux le mot "CODE" permet une synchronisation parfaite des deux opérations de sauvegarde et de relecture.
Pour avoir accès aux RAM points, il faut faire un POKE &HE7C3, PEEK (&HE7C3) OR 1 en BASIC, ou bien ajouter :

```
LDA PRC  B6 E7 C3
ORA #1   8A Ø1                      avant de faire EXEC&HAØØØ
STA PRC  B7 E7 C3
```

Les organigrammes ci-joints permettent d'analyser la procédure d'ouverture pour écrire (K7.OPW). Le sous-programme TIMER provoque le fonctionnement du 6846 en mode continu, la sortie TO fournissant un signal carré de fréquence 6,3 kHz.
Pour obtenir cette fréquence il faut charger le compteur avec la valeur 78($4E). La fréquence d'horloge étant E = 1MHz, la sortie TO restera à 1 pendant 78µs puis à Ø pendant 78µs soit une période de 156µs donc une fréquence de 6,3 kHz.

Organigramme du sous-programme "MOTEUR"



INITIALISATION ET SAUVEGARDE DES REGISTRES A, B, CC, DP X,U

CHARGER A AVEC LE MOT DE CODE CONTENU PAR K7-OPC

On teste si b2 = 1 — A $\overset{?}{\neq}$ K7.OPW — NON → SUITE DES TESTS

OUI

Vérifier que l'on n'est pas déjà ouvert en lecture et que la cassette est présente — K7.STA $\overset{?}{\neq}$ K7OPR et bit 7 (6847) $\overset{?}{=}$ 1 — NON → ERREUR (C = 1)

OUI

Tracé de l'opération en cours de réalisation — Ranger A dans K7.STA

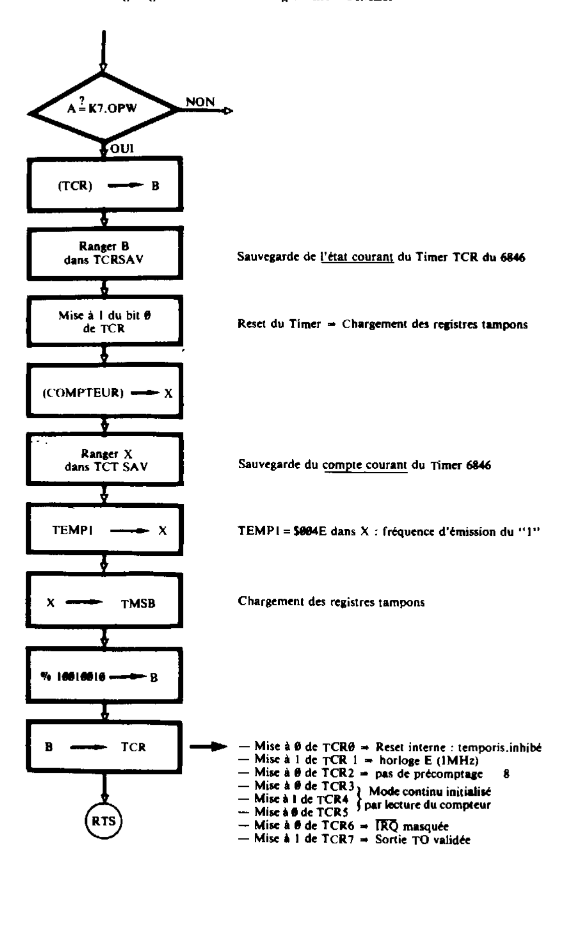
S—P TIMER

S—P MOTEUR

Récupération des Registres

Opération correcte — Mise à 0 du bit de carry C

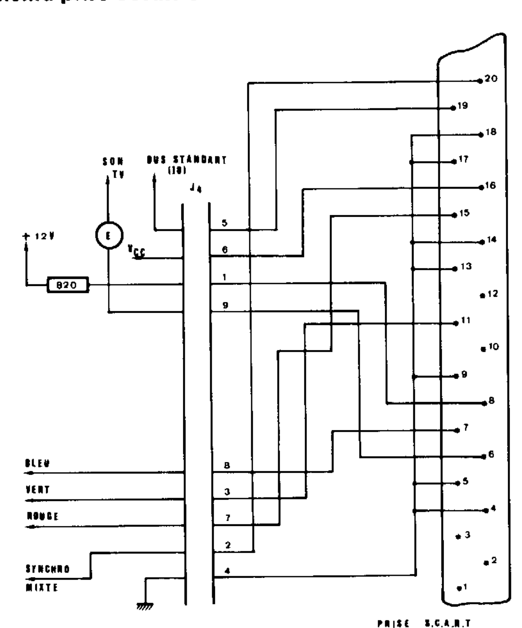
RTS



3.4 E/S vers Prise PERITEL

La Prise SCART du TO7 fournit les informations ci-dessous :
— Borne 2Ø : Sortie Synchro mixte du TO7 Ø,8V/75Ω
— Borne 19 : Entrée Vidéo composite
— Borne 16 : Commutation rapide reliée au + Vcc dans le TO7
— Borne 11 : VERT Niveau Ø,8 V/75Ω
— Borne 8 : Commutation lente reliée à 12 V à travers une résistance de limitation de 82ØΩ dans le TO7.
— Borne 7 : BLEU Niveau Ø,8 V/75Ω
— Borne 6 : Son TV (voir schéma de l'amplificateur audio du TO7). Sortie par C = 4,7μF/1ØV. Niveau ≃ 1V
— Borne 15 : ROUGE Niveau Ø,8 V/75Ω
— Bornes 4, 5, 9, 13, 14, 17, 18 : MASSE

Schéma prise SCART et connecteur J4



DESCRIPTION DES INTERCONNEXIONS

Remarques générales :
— Toutes les entrées et sorties peuvent être simultanément en fonctionnement
— Tous les signaux d'entree et de sortie sont définis et mesures conformement aux publications appropriees du CCIR et de la CEI.

Designation du signal	Valeur d'adaptation	Numero du contact	Conditions de mesure et observation
Sortie "AUDIO" A (1) : — monophonie — stereophonie voie gauche — voie independante A	Impedance ≤ 1kΩ (2) Force electromotrice (valeur efficace) nominale Ø,5V ( ) minimale Ø,2V ( ) maximale 2V	3	( ) pour un facteur de modulation de l'emeteur de 80 % (MA ou MF). ( ) pour un facteur de modulation de l'emetteur de 30 % (MA OU MF)
Sortie "AUDIO" B (1) : — voie droite stereophonie — voie independante B	Impedance ≤ 1kΩ Force électromotrice (valeur efficace) nominale Ø,5V ( ) minimale Ø,2V ( ) maximale 2V	1	( ) pour un facteur de modulation de l'emetteur de 80 % (MA Ou MF). ( ) pour un facteur de modulation de l'emetteur de 30 % (MA ou MF).
Entree "AUDIO" A (1) · monophonie — stereophonie voie gauche — voie independante A	Impedance ≥ 1ØkΩ (2) Tension (valeur efficace) nominale Ø,5V minimale Ø,2V maximale 2V	6	Impedance de charge pour les mesures 10kΩ

Désignation du signal	Valeur d'adaptation	Numéro de contact	Conditions de mesure et observation
Entrée "AUDIO" B (1) : — voie droite stéréophonie — voie indépendante B	Impédance ≥ 10kΩ (2) Tension (valeur efficace) nominale 0,5V minimale 0,2V maximale 2V	2	Impédance de charge pour les mesures : 10kΩ.
Masse commune "AUDIO"		4	
Sortie "VIDEO"	Signal video composite : Tension 1V (tolérance ± 3 dB) (3) différence entre le niveau du blanc et le niveau de synchronisation Impédance de charge 75 Ω (4) Tension continue superposee comprise entre 0V et +2V Quand le signal appliqué a ce contact est uniquement un signal de synchronisation, sa tension crête a crête est 0,3V (−3 + 10dB)	19	Video positive
Entree "VIDEO"	Signal video composite . Tension : 1V (tolerance ± 3 dB) (3) difference entre le niveau du blanc et le niveau de synchronisation Impedance de charge 75 Ω (4) Tension continue superposee comprise entre 0V et +2V Quand le signal applique a ce contact est uniquement un signal de synchronisation, sa tension crête a crête est 0,3V (−3 − 10dB)	20	Video positive
Masse "VIDEO"		17	

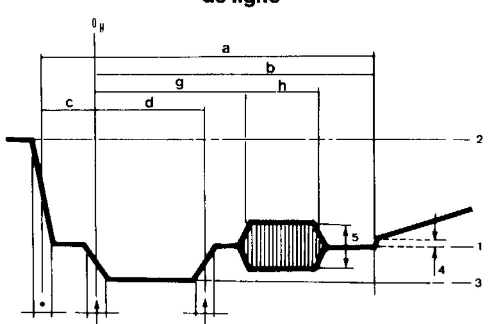
Désignation du signal	Valeur d'adaptation	Numéro du contact	Conditions de mesure et observation
Composante ROUGE	Différence entre valeur crête et niveau de suppression : 0,7V (tolerance ± 3dB) (5) Impédance de charge 75Ω Tension continue superposée comprise entre 0V et +2V.	15	Composante positive.
Masse ROUGE		13	
Composante VERT	Différence entre valeur crête et niveau de suppression : 0,7V (tolerance ± 3dB) (5) Impédance de charge 75Ω. Tension continue superposée comprise entre 0V et +2V.	11	Composante positive.
Masse VERT		9	
Composante BLEU	Différence entre valeur crête et niveau de suppression 0,7V (tolerance ± 3dB) (5) Impédance de charge 75Ω. Tension continue superposee comprise entre 0V et +2V	7	Composante positive.
Masse BLEU		5	
Sélection de fonction (Commutation lente)	0V à +2V état logique "zéro" +10V à +12V état logique "un" Résistance d'entrée ≥ 10kΩ Capacité d'entrée ≤ 2nF Pour un récepteur de télévision, l'état logique "0" correspond à la réception de télévision diffusee et l'etat logique "1" correspond a la péritélévision.	8	Impedance de charge mesure : 10kΩ

Designation du signal	Valeur d'adaptation	Numero du contact	Mis au potentiel de reference
Suppression (Commutation rapide)	0V a +0,4V etat logique "zero" (6) +1V a +3V etat logique "un" (6) Impedance de charge 75Ω (1) (7)	16	
Masse suppression		18	
Bus de donnees pour l'intercommunication N 1	Contact non utilise (utilisation future a l'etude)	12	
Bus de donnees pour l'intercommunication N 2	Contact non utilise (utilisation future a l'etude)	10	
Masse commune des bus de donnees pour l'intercommunication		14	
Blindage de la fiche		21	Conditions de mesure et observation

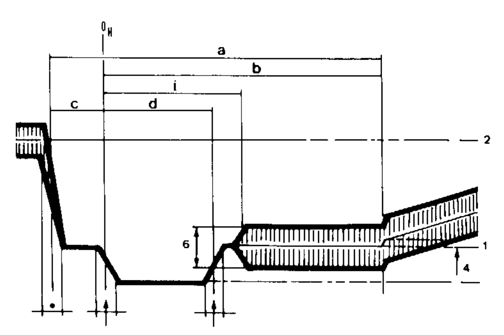
NOTES

(1) L'existence de divers modes de fonctionnement des circuits audio (mono, stereo, voies separees) peut exiger des commutations appropriees dans certains appareils
(2) Pour des frequences superieures ou egales a 20 Hz
(3) Voir Fig 1a et 1b. Pour les systèmes de télévision a modulation video positive la tolerance peut etre portee a -3, +6 dB
(4) Les tensions spécifiees pour l'entree et la sortie video ou une adaptation d'impedance est requise doivent s'entendre comme suit tension appliquee a une charge de mesure fictive
(5) Pour des signaux analogiques en mode différentiel l ecart entre deux composantes quelconques ne doit pas depasser +0
Les valeurs de crete des composantes de couleurs primaires sont celles qui produisent un signal de luminance au niveau du blanc
(6) L'etat logique "un" correspond a la suppression
(7) La bande passante et les temps de transit doivent etre adaptes aux signaux R V B

Niveaux dans le signal ccmpcsite et détails des signaux de synchrcnisaticns de ligne



a) Systémes NTSC en PAL



b) Système SECAM

3.5 Le clavier

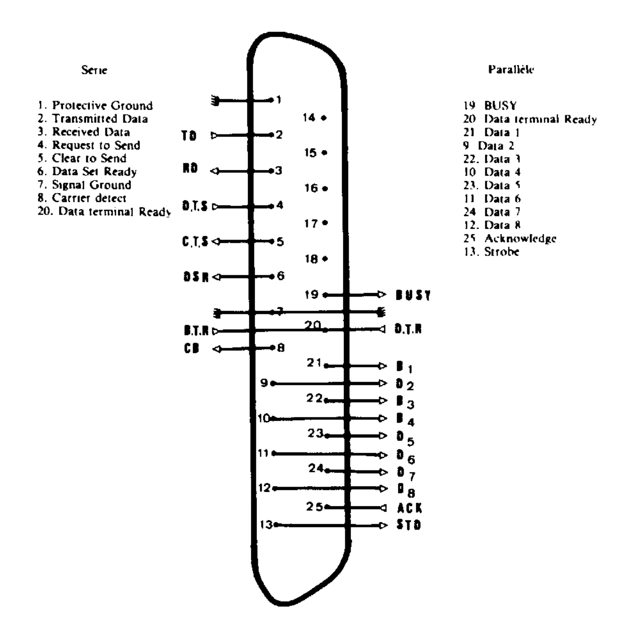
Le clavier du TO7 est du type clavier à membrane souple, matriciel à 8 lignes et 8 colonnes.
On se reportera pour l'étude de son fonctionnemnet au chapitre 2.6.

4. Les interfaces

4.1 L'interface RS232/CENTRONICS

L'extension communication est encartable sur le bus standard du TO7. Les entrées/sorties vers les périphériques se font par un connecteur miniature type D 25 broches.
Cette extension permet la communication avec n'importe quel type de terminal, sous forme de liaison série ou parallèle. Le standard de communication série est conforme à la norme RS 232, et l'interface parallèle est de type CENTRONICS.

CONTROLEUR DE COMMUNICATIONS



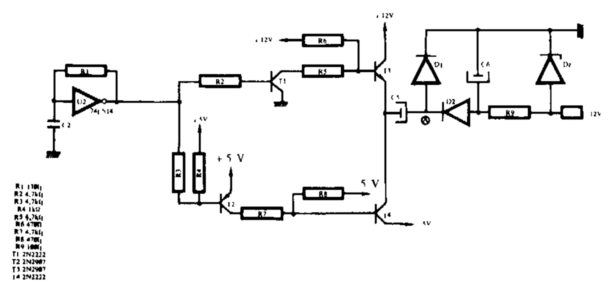
• **L'interface série RS 232** se compose de 7 lignes :
— Deux sorties (DSR et CD) figées à + 12V sous 330Ω.
— Deux sorties (RD et CTS) pouvant prendre les valeurs logiques
Ø si 9V ≤ Vs ≤ 12V sous 300Ω
1 si − 12V ≤ Vs ≤ − 8V sous 300Ω
le courant est limité à 10mA.
— Trois entrées (TD, RTS et DTR) qui transforment les tensions en valeurs logiques
Ø si 1,25V ≤ Ve ≤ 30V
1 si − 30V ≤ Ve ≤ 1V

• **L'interface parallèle** se compose de 11 lignes :
— Neuf sorties TTL : STROBE et Data 1 à Data 8
— Deux entrée DTR au niveau logique (BUSY) et Acknowledge
Ø si Ve < 1V
1 si Ve > 1,25V

1. Étude des circuits

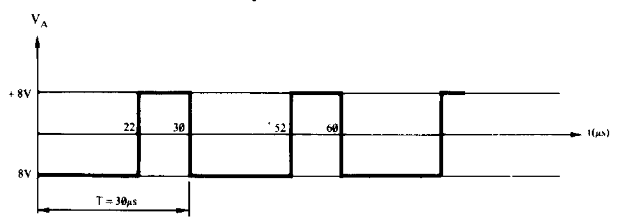
— Pour la comptabilité avec le standard RS 232 il a été nécessaire de fabriquer du − 12V à partir des tensions existantes du TO7, c'est-à-dire le − 5V et le + 12V.
Un oscillateur a été réalisé à l'aide d'une porte inverseuse Trigger de Schmitt 74LS14, d'une résistance R1 de 330Ω et d'un condensateur C2 de 100nF.
La porte bascule pour une tension typique sur front montant de 1,6V et possède un hystérésis de 0,8V. La fréquence des oscillations rectangulaires en sortie voisinera les 33 kHz typiques.

Alimentation — 12 V interface RS 232

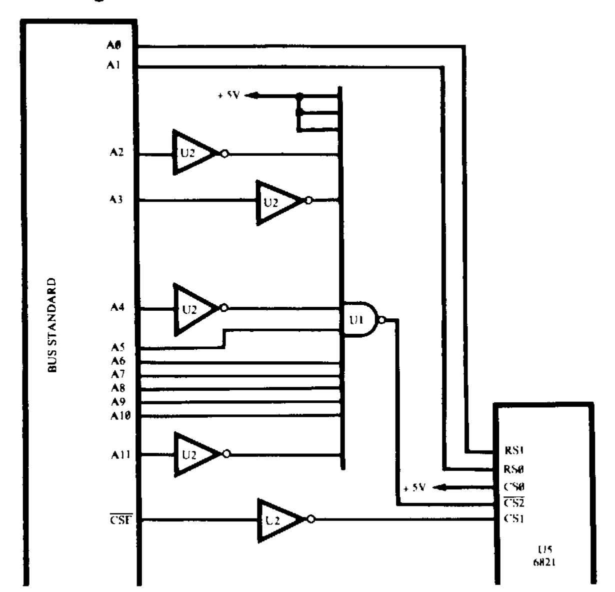


Ce signal rectangulaire attaque deux amplificateurs en opposition de phase, fonctionnant en mode saturé/bloqué et dont les sorties en court-circuit basculent entre +12V et −5V.
Le signal obtenu derrière C5 = 4,7µF/25V aura donc l'allure ci-dessous.

Allure de la tension au point A



Décodage d'adresse du 6821 RS 232



Le doubleur de tension réalisé par D1, D2 (1N4ØØ1) et C5, C6 (22µF/16V) permet d'obtenir une tension négative d'environ 16V qui sera stabilisée à −12V par R9 (1ØØΩ) et Dz (BZX12V).
Le décodage d'adresse est réalisé conformément au schéma ci-après et permet grâce au signal $\overline{CSE}$ ($EØØØ-$EFFF) de sélectionner le PIA de $E7EØ à $E7E3.

On remarquera que les liaisons A1 ↔ RSØ et AØ ↔ RS1 permettent d'adresser ce PIA par mots de 16 bits puisque l'on trouve d'abord les 2 registres de direction DDRA, DDRB puis les deux registres de contrôle CRA et CRB.

2. Étude du logiciel de gestion

Le contrôleur de communication est un sous-programme du moniteur TO7 accessible à l'adresse $E812.
Ce logiciel, appelé RSCO$, travaille selon le même principe que K7CO$. Il utilise en effet un registre d'état RS.STA ($6Ø2C), et un mot de code RS.OPC d'adresse $6Ø2B, dont la valeur permet de choisir l'une des opérations ci-dessous :

RS.OPC	RS.OPR	%	ØØØØØØØ1	Ouverture en lecture/écriture (RS232)
	RS.RDC	%	ØØØØØØ1Ø	Lecture d'un octet
	RS.OPW	%	ØØØØØ1ØØ	Ouverture en écriture seulement (RS232)
	RS.WRC	%	ØØØØ1ØØØ	Écriture un octet
	RS.CLS	%	ØØØ1ØØØØ	Fermeture
	RS.CPY	%	ØØ1ØØØØØ	Copie graphique d'écran
	RS.OPP	%	Ø1ØØØØØØ	Ouverture en écriture parallèle
RS.STA	RS.NRD	%	1ØØØØØØØ	Dispositif pas prêt

• **Mode série**
a) *En ouverture,* RD et CTS (PAØ et PA1 du 6821) sont positionnés à 1. Puis le TO7 teste DTR :
— Si DTR = 1 → le terminal n'est pas prêt
— Si DTR = Ø → le terminal est prêt
L'entrée DTR correspond au bit 6 du PORTA. Si ce bit est à Ø alors C (bit de carry) est mis à Ø, sinon c'est mis à 1.

Le programme d'initialisation ci-dessous réalise les opérations ci-dessus après avoir initialisé le PIA.

```
RSINI  LDD    BLOCZ     Bloc de 00
       STD    CRA2      Acces aux DDR

       LDD    #%0000001111111111
                        Bit7:TXDATA-INPUT
                        Bit6:DTTRMN-INPUT
                        Bit5:REQTS-INPUT
                        Bit1:CLRTS-OUTPUT
                        Bit0:RXDATA-OUTPUT
                        PORTB: OUTPUT
       STD    PRA2      Ecrit dans PRA2
                        et PRB2

       LDD    #%0000010000111100
                        CA2:inactif
                        CA1:actif sur
                        front descendant
                        avec IRQ inhibee
                        (RTS)
                        CB2: OUTPUT a 1
                        (STR)
                        CB1:actif sur
                        front descendant
                        avec IRQ inhibee
                        (ACKNOWLEDGE)

       STD    CRA2      dans CRA2 et CRB2
       LDA    PRB2      Test de l'existen
                        du controleur: on
                        lit PRB
       COMA
       STA    PRB2      On reecrit dedans
                        son complement
       CMPA   PRB2      Et on verifie la


                        reecriture
       BNE    BUSY      Si non conforme,
                        controleur non
                        present
       COM    PRB2      Si present, on le
                        remet dans son
                        etat initial.
```



```
       LDA    #3
       STA    PRA2      CLEAR TO SEND :
                        masque et
                        RXDATA=mark
DTTEST LDA    PRA2      Bit6 de A = DATA
                        TERMINAL READY
       EORA   RS.STA    Si RS>STA=RSOPP
                        A(6) est inverse
       ANDA   #%00100000
                        On ne conserve
                        que le bit 6.
       ADDA   #%11111111
                        C=1 si A<>0 (Flag
                        de BUSY) et C=0
                        si A=0
       RTS
```

b) *Pour émettre un octet* plusieurs vitesses sont possibles. La vitesse sélectionnée devra être placée dans le registre BAUDS ($6044) selon le code suivant :
$ 046A → vitesse de 110 Bauds : Durée 9090 (µs)
$ 019B → vitesse de 300 Bauds : Durée 3333 (µs)
$ 00CA → vitesse de 600 Bauds : Durée 1666 (µs)
$ 0062 → vitesse de 1200 Bauds : Durée 833 (µs)
$ 002E → vitesse de 2400 Bauds : Durée 416 (µs)
$ 0015 → vitesse de 4800 Bauds : Durée 208 (µs)
$ 0007 → vitesse de 9600 Bauds : Durée 104 (µs)
On peut également envoyer 7 ou 8 bits (sans parité) suivant le contenu du registre NOMBRE ($6046) :
Si NOMBRE :
% 10000000 → 8 bits
% 01000000 → 7 bits
L'octet à transmettre est placé dans l'accumulateur B avant l'appel de la routine :
Le moniteur commence par tester DTR :
— Si DTR = 1 → ERREUR
— Si DTR = 0 → il envoie un START, les 7 ou 8 bits de l'octet puis deux STOPS *sur la ligne RD*
Puis il attend que DTR passe à 0 pour sortir.
c) *A la réception d'un octet*, les registres BAUDS et NOMBRE doivent être correctement positionnés.
Le moniteur teste alors DTR :
— Si DTR = 1 → ERREUR
— Si DTR = 0 → il teste RTS :
— Si RTS = 0, il positionne CTS à 0 et attend que TD passe à 0, après quoi il attend un 1/2 délai puis teste à nouveau TD :
— Si TD = 1 on recommence à attendre que TD passe à 0.
— Si TD = 0, on a alors bien un bit de START.

Il saisit alors les 7 ou 8 bits à chaque délai. Après avoir saisi le dernier bit, l'octet est placé dans B, CTS est remis à 1, on attend 1/2 délai et on attend que DTR passe à Ø pour sortir.

— Si RTS = 1, le périphérique n'a rien à envoyer et on ressort quand DTR passe à Ø.

• Mode parallèle

a) *En ouverture,* le STROBE est mis à 1, puis le moniteur teste DTR :
— Si DTR = 1 → le terminal n'est pas prêt
— Si DTR = Ø → la ligne est ouverte

b) *Pour émettre un octet,* on teste DTR :
— Si DTR = 1 → ERREUR
— Si DTR = Ø → on envoie l'octet sur le PORTB, puis le STROBE est mis à Ø pendant 8μs avant de revenir à 1. (Action sur CRB2)
Le moniteur attend alors que DTR passe à 1 puis à nouveau à Ø pour sortir.
Dans ce mode, l'octet à transmettre est également passé par l'accumulateur B.

• Copie graphique d'écran

Dans ce mode, le moniteur envoie en mode parallèle un premier octet contenu dans le registre GRCODE ($6Ø47) et qui est le code "BEL" — $Ø7.
Puis sans tester DTR, il envoie les 8ØØØ octets de l'écran à raison d'un caractère toutes les 75μs environ, ce qui permet de recopier l'écran sur imprimante thermique en 6s. environ.

• Copie d'écran avec l'imprimante PR 9Ø-Ø8Ø

L'imprimante à impact tape des points par paquets de 8 points verticaux.
Pour recopier l'écran, il faut donc le lire verticalement 8 lignes par lignes sur une largeur d'écran (40 colonnes) puis recommencer avec les 8 lignes suivantes, etc.
C'est ce que permet de faire le programme ci-joint qui illustre parfaitement l'utilisation en assembleur du programme moniteur RSCO$.


```
*****************************************
*                                       *
* Copie d'un ecran complet sur          *
* l'imprimante PR 90-080                *
*                                       *
*    CARRY = 0 Tout est OK.             *
*    CARRY = 1 Erreur, voir RS.STA      *
*                                       *
* Cinq sauts de ligne sont effectues    *
* a la fin de la copie de facon a       *
* tenir trois copies dans une page      *
* 12 ''.                                *
*                                       *
*    Taille = 145 octets                *
*                                       *
*****************************************
```

```
          4000 STAD   EQU   $4000
          5F40 ENDAD  EQU   $5F40
          E812 RSCO   EQU   $E812
          602B RSOPC  EQU   $602B
          0040 RSOPP  EQU   $40
          0008 RSWRC  EQU   $08
          0010 RSCLS  EQU   $10
          E7C3 PRC    EQU   $E7C3
          002B INTERL EQU   $2B
          000A LF     EQU   $0A
          000F SI     EQU   $0F

A000                  ORG   $A000

A000 34   36   SE1K0  PSHS  D,X,Y
A002 C6   40          LDB   #RSOPP   * Ouverture en //
A004 F7   602B        STB   RSOPC
A007 BD   E812        JSR   RSCO
A00A 25   77          BCS   SE1KF
A00C B6   E7C3        LDA   PRC
A00F 8A   01          ORA   #1
A011 B7   E7C3        STA   PRC      Select. mem. forme
A014 8E   5F40        LDX   #ENDAD
A017 86   78          LDA   #3*INTERL
```

```
A019 6F    80    SEIK1  CLR    ,X+       Raz octets inutil.
A01B 4A                 DECA
A01C 26    FB           BNE    SEIK1
A01E C6    0B           LDB    #RSWRC
A020 F7    602B         STB    RSOPC     Ecrit. sur liaison
A023 8D    69           BSR    SEIK10    Ecrit BS
A025 25    5C           BCS    SEIK9
A027 8E    4000         LDX    #STAD     Debut de l'ecran

A02A 86    28    SEIK2  LDA    #40       40 colonnes
A02C 34    02           PSHS   A         Compteur de Col.
A02E 34    10    SEIK3  PSHS   X         Sauv. pointeur
A030 86    08           LDA    #8        8 bits par octet
A032 34    02           PSHS   A         Compt. gen. decalg

A034 C6    40    SEIK4  LDB    #$40      Bit dans CY->Stop

A036 A6    E4    SEIK5  LDA    ,S        Recup compte decal
A038 34    02           PSHS   A         compt decal 1 oct.
A03A A6    84           LDA    ,X        Recup octet concer

A03C 44          SEIK6  LSRA             Le decaler
A03D 6A    E4           DEC    ,S        Un decal en moins
A03F 26    FB           BNE    SEIK6     Pas fini?, contin.
A041 32    61           LEAS   1,S       Resto de S
A043 30    88 28        LEAX   INTERL,X Descendre 1 ligne
A046 56                 RORB             Recup bit select.
A047 24    ED           BCC    SEIK5     Pas encore fini
A049 56                 RORB             Bit de gauche a 1
A04A 8D    42           BSR    SEIK10    on a fini,on ecrit
A04C 24    04           BCC    SEIK7     Caract bien ecrit
A04E 32    64           LEAS   4,S       On remet dans S
A050 20    31           BRA    SEIK9     Erreur

A052 30    89 FEEB SEIK7 LEAX  -7*INTERL,X X au debut
A056 6A    E4           DEC    ,S        Decr compt gen dec
A058 26    DA           BNE    SEIK4     On continue
A05A 32    61           LEAS   1,S       Resto de S
A05C 35    10           PULS   X         Recup du debut
A05E 30    01           LEAX   1,X       Avancer sur octet
A060 6A    E4           DEC    ,S        Decr compt colonne
A062 26    CA           BNE    SEIK3     Traiter 8 octets
A064 32    61           LEAS   1,S       Resto de S
A066 C6    0A           LDB    #LF
A068 8D    24           BSR    SEIK10    Avancer d'1 ligne
A06A 25    17           BCS    SEIK9
A06C 30    89 00F0      LEAX   6*INTERL,X
```



```
A070 8C    5F40         CMPX   #ENDAD    Fini ?
A073 25    B5           BLO    SEIK2     Non
A075 CC    070A         LDD    #7*256+LF Cadrage

A078 8D    14    SEIK8  BSR    SEIK10
A07A 25    07           BCS    SEIK9
A07C 4A                 DECA
A07D 26    F9           BNE    SEIK8     Pas encore fini
A07F C6    0F           LDB    #SI       Mode caractere
A081 8D    0B           BSR    SEIK10

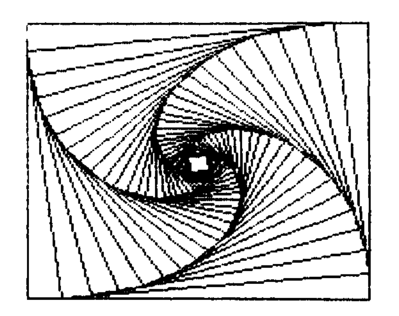
A083 34    01    SEIK9  PSHS   CC        Sauver l'etat CY
A085 C6    10           LDB    #RSCLS
A087 F7    602B         STB    RSOPC
A08A 8D    02           BSR    SEIK10    On ferme
A08C 35    B7           PULS   CC,D,X,Y,PC Retour

A08E 7E    E812 SEIK10  JMP    RSCC


A091 39                 RTS

           0000         END

00000 Total Errors
```

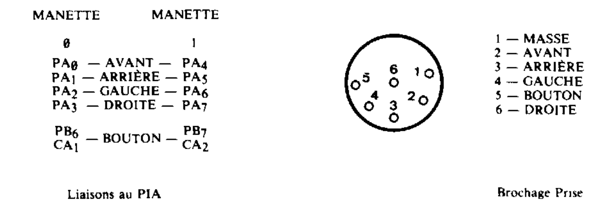


4.2 L'interface MUSIQUE et JEUX

Cette interface qui utilise un PIA 6821 est logée aux adresses suivantes :
&H E7CC pour le PORTA (et le DDRA)
&H E7CD pour le PORTB (et le DDRB)
&H E7CE pour le CRA
&H E7CF pour le CRB
Cette interface a un double rôle :

1. Gérer les deux manettes de jeux (JOYSTICKS) branchées sur les connecteurs 6 broches dont le schéma est donné ci-dessous :

Connection aux manettes



Liaisons au PIA

Brochage Prise

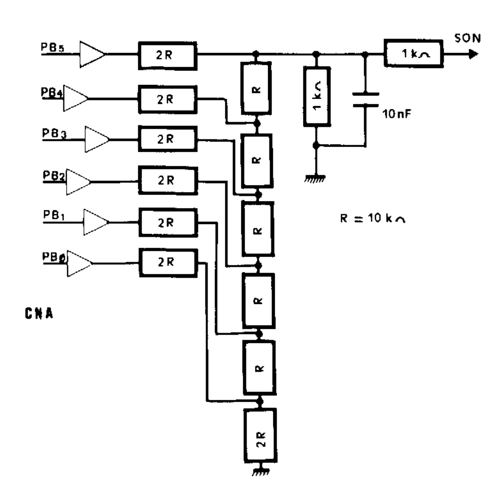
C'est le rôle du PORTA et des bits B_6 et B_7, tous programmés en entrées, que de permettre cette gestion, ainsi que des deux entrées d'interruption CA_1 et CA_2.

2. Synthétiser des sons à l'aide d'un convertisseur numérique/analogique (CNA) réalisé avec les 6 bits restants du PORTB, de $B_Ø$ à B_5, programmés en sorties et bufferisés, et d'un circuit de conversion du type R/2R dont la sortie filtrée est reliée à la ligne SON du connecteur standard.
Le niveau de tension maximum sur cette sortie est de 45Ø mV.

Attention : A la mise sous tension les deux PORTS du PIA sont programmés en ENTREES, il faut donc commencer tout programme par l'initialisation en SORTIE des bits $B_Ø$ à B_5 du PORTB.
Soit par exemple en assembleur :

```
CLR $E7CF Mise à Ø du CRB2 → DDRB
LDD #$3FØ4
STA $E7CD BØ à B5 en SORTIES
STA $E7CD Mise à 1 du CRB2 → PORTB
```


CNA



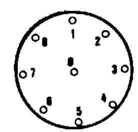
1. Principe de fonctionnement des manettes

A l'intérieur de chaque manette sont placés 4 interrupteurs de position, plus 1 interrupteur de commande.
Au repos tous ces interrupteurs sont ouverts et les entrées sont donc au "1" logique.
Si un interrupteur est actionné, il se ferme et l'entrée correspondante passe alors au "Ø" logique, car l'interrupteur est relié à la masse (borne 1).
Les 4 bits d'une manette (par exemple la manette Ø) fournissent donc les codes suivants :

BASIC	A_3	A_2	A_1	$A_Ø$	POSITION
Ø	1	1	1	1	REPOS
1	1	1	1	Ø	AVANT
5	1	1	Ø	1	ARRIÈRE
3	Ø	1	1	1	DROITE
7	1	Ø	1	1	GAUCHE
2	Ø	1	1	Ø	AVANT & DROITE
8	1	Ø	1	Ø	AVANT & GAUCHE
4	Ø	1	Ø	1	ARRIÈRE & DROITE
6	1	Ø	Ø	1	ARRIÈRE & GAUCHE

Pour le BASIC, les positions de la manette sont codées de Ø à 8, Ø correspond à l'état neutre (repos), les valeurs de 1 à 8 correspondent aux positions NORD, NORD-EST, EST, etc. c'est-à-dire à la rotation dans le sens horaire (voir fig. 3).

Code BASIC d'une manette jeu

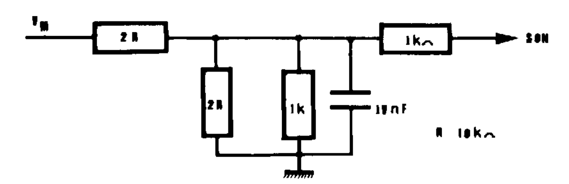


De la même façon, si l'interrupteur de commande de la manette Ø n'est pas actionné alors l'entrée bit 6 du PORTB est à 1, sinon ce bit passe à Ø.
Le programme moniteur JOYS$ implanté en &HE827 a pour objet de fournir (par l'accumulateur B) le code BASIC de la position de la manette dont le numéro lui aura été passé (par l'accumulateur A), ainsi que l'état du bouton de commande (par le bit de CARRY du CCR).
Le bouton de commande est codé comme suit :
Si C=Ø → la gachette est au repos.
Si C=1 → la gachette est enfoncée.
On peut éventuellement faire fonctionner la gachette en mode interruption puisque B6 et CA1 d'une part et, B7 et CA2, d'autre part sont reliés.
Dans ce cas le logiciel doit être créé par l'utilisateur.

2. Principe de fonctionnement du convertisseur

Calcul de l'influence d'un bit
Supposons que seul le bit B5 soit à 1, et appelons V_M la tension en sortie du buffer correspondant.
Dans ce cas le schéma équivalent du convertisseur est le suivant :

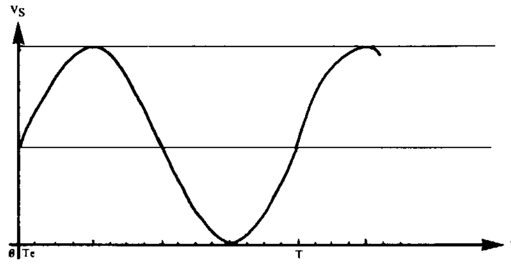
BIT 5="1" et autres BIT à "Ø"



Dans ce cas la tension sur la sortie SON n'est que de Ø,Ø45. V_M. On peut calculer de la même façon la tension en sortie si seul le bit B4 est à "1" → SON=Ø,Ø23.V_M soit la moitié de la tension créée par B5.
On voit donc que la tension sur la sortie SON est proportionnelle au poids du BIT à "1".
Si plusieurs BIT sont à "1" simultanément, la tension SON sera égale à la somme des tensions propres à chaque bit. Exemple, si B5 et B4 sont seuls à 1, la tension SON vaudra (Ø,Ø45+Ø,Ø23). V_M=Ø,Ø68 V_M.
La tension maximum en sortie sera donc d'environ Ø,Ø9V_M soit 450mV puisque V_M est au maximum égale à 5 Volts.

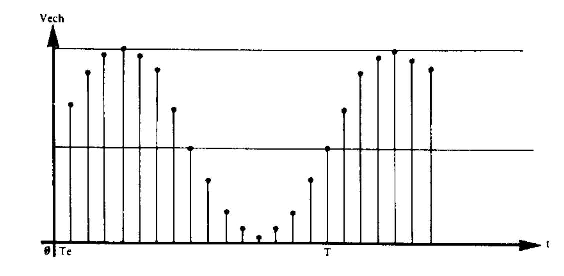
Méthode de synthèse d'un son
a) *Échantillonnage*
Soit le son pur sinusoïdal ci-dessous :

Signal réel



Échantillonner ce signal consiste à mesurer des "échantillons" de tension à des intervalles de temps égaux (période d'échantillonnage). Si l'on échantillonne avec une période T_e=T/12 le signal échantillonné est alors le suivant :

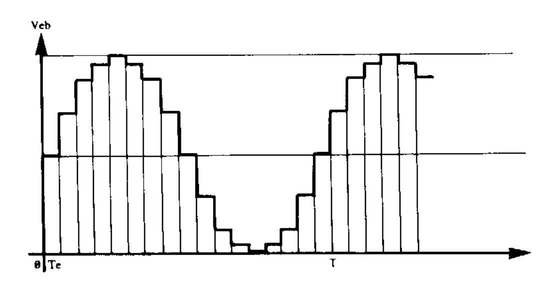
Signal échantillonné



b) *Échantillonnage-blocage*

Si on maintient la valeur de la tension échantillonnée entre deux prises d'échantillon, on bloque l'échantillon, et le signal correspondant a alors l'allure suivante :

Signal échantillonné bloqué



c) *Synthèse*

Si l'on veut ''fabriquer'' un signal approché du signal réel de la figure 5, il suffit de ranger dans une table binaire (6 bits dans le cas présent) des mots dont la valeur est proportionnelle aux échantillons.

Puis avec une fréquence fe = 1/Te, on envoie ces mots binaires dans le convertisseur N/A qui fabrique alors une tension SON proportionnelle aux échantillons successifs.

Entre deux échantillons, le précédent est maintenu en sortie et même légèrement intégré.

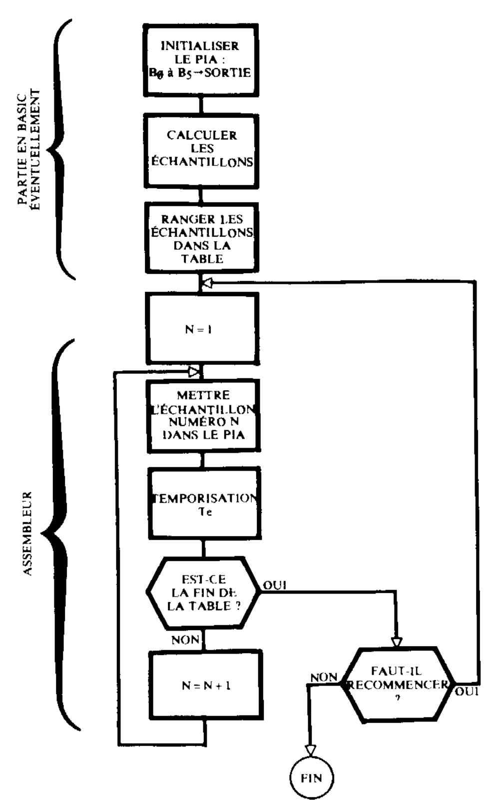
On reconstituera d'autant mieux un son que le nombre d'échantillons sera grand.

On peut faire varier la fréquence d'un son en augmentant ou en diminuant l'intervalle de temps séparant deux échantillons.

Logiciel de synthèse

Le logiciel de synthèse d'un son suivra l'ordinogramme ci-dessous.

SYNTHÈSE D'UN SON



La partie de calcul peut éventuellement être réalisée en BASIC (voir programme ci-joint), mais pour plus de souplesse il est conseillé de réaliser la partie de synthèse proprement dite en assembleur (voir programme ci-joint).

```
10 '          *************************
20 '          *                       *
30 '          * PROGRAMME DE SYNTHESE *
40 '          *        SONORE         *
50 '          *                       *
60 '          *************************
70 '
80 '
90 '
100 '----------INITIALISATION--------
110 '
120 SCREEN2,4,4:CONSOLE0,24:CLS
122 LOCATE0,0,0:PRINT"**  SYNTHESE D'UN
SON SINUSOIDAL  **"
130 CLEAR,&H9FFF
140 DIM ECH(255)
150 '
160 '--------INIT. DU PIA------------
170 '
180 POKE &HE7CF,0     'Acces a DDRB
190 POKE &HE7CD,&H3F 'B0 a B5 en SORTIE
200 POKE &HE7CF,&H04 'Acces au PORTB
210 '
220 '-----ROUTINE ASSEMBLEUR-----------
230 '
240 FOR I=0 TO 57
250 READ D
260 POKE &HA000+I,D
270 NEXTI
280 '
290 DATA &H34,&H7E
300 DATA &H1A,&H10
310 DATA &HFC,&HA0,&H52
320 DATA &HF3,&HA0,&H54
330 DATA &HFD,&HA0,&H56
340 DATA &HBE,&HA0,&H52
350 DATA &HF6,&HA0,&H51
360 DATA &H30,&H85
370 DATA &HA6,&H84
380 DATA &HB7,&HE7,&HCD
390 DATA &HB6,&HA0,&H50
400 DATA &H4A
410 DATA &H26,&HFD
420 DATA &HBC,&HA0,&H56
```



```
430 DATA &H2D,&HEE
440 DATA &H1F,&H10
450 DATA &HB3,&HA0,&H54
460 DATA &H1F,&H01
470 DATA &H7F,&HE7,&HC9
480 DATA &HB6,&HE7,&HC8
490 DATA &H81,&HFF
500 DATA &H24,&HDA
510 DATA &H1C,&HEF
520 DATA &H35,&HFE
530 '
540 '------CALCUL DES ECHANTILLONS---
550 '
560 CONSOLE15,24:CLS:LOCATE0,15,0
570 INPUT"NB D'ECHANTILLONS (255 MAX) :
",NE
580 INPUT"TEMPORISATION (de 0 a 255) : "
,TE
590 INPUT "PAS DE PRELEVEMENT : ",PAS
600 PRINT:PRINT:COLOR1:ATTRB1,1:PRINT"SI
LENCE, JE CALCULE":COLOR2:ATTRB0,0
610 POKE &HA050,TE     'Duree de Tempo
620 POKE &HA051,PAS    'Pas d'echantill
630 POKE &HA052,&HB0   'Debut de la tabl
640 POKE &HA053,&H00   'd'echantillonage
650 POKE &HA054,NE @ 256        'Nombre
660 POKE &HA055,NE MOD 256      'd'echant
670 CONSOLE2,12:CLS:LOCATE0,2,0
680 LINE(0,16)-(0,100),6
690 LINE(0,100)-(320,100),6
692 LOCATE1,2:PRINT"Vs":LOCATE39,11:PRIN
T"t";
700 W=6.28
710 FOR I=0 TO NE-1
720 ECH(I)=31+31*SIN(W*I/NE)
730 POKE &HB000+I,ECH(I)
740 NEXTI
750 FOR I=0 TO NE-1 STEP PAS
760 FOR J=0 TO PAS-1
770 PSET(I+J,100-ECH(I))
780 NEXTJ,I
790 '
800 '--------SYNTHESE D'UN SON---------
810 '
820 EXEC &HA000
830 FORN=1TO100:NEXTN
840 GOTO 560
850 END
```

```
****************************************
*                                      *
*  ROUTINE D'ENVOI DES ECHANTILLONS    *
*                                      *
*       DANS LE PORTB DU PIA           *
*                                      *
*                                      *
*  ENTREES :                           *
*                                      *
*   $A050 = Duree de la temporisation  *
*   $A051 = Pas d'echantillonage       *
*   $A052 = Debut de la table          *
*   $A054 = Nombre d'echantillons      *
*                                      *
*                                      *
*  SORTIES :                           *
*                                      *
*   $A056 = Fin de la table            *
*                                      *
*                                      *
*  PORTB en $E7CD                      *
*                                      *
*  CLAVIER en $E7C8  et $E7C9          *
*                                      *
*                                      *
****************************************

        E7CD PORTB2 EQU    $E7CD
        E7C8 PORTA1 EQU    $E7C8
        E7C9 PORTB1 EQU    $E7C9

A000                 ORG    $A000

A000 34   7E         PSHS   U,Y,X,DP,B,A
A002 1A   10         ORCC   #$10
A004 FC   A052       LDD    $A052
A007 F3   A054       ADDD   $A054
A00A FD   A056       STD    $A056
A00D BE   A052       LDX    $A052
A010 F6   A051 BOUC0 LDB    $A051

A013 30   85   BOUC1 LEAX   B,X
A015 A6   84         LDA    ,X
A017 B7   E7CD       STA    PORTB2
A01A B6   A050       LDA    $A050
```



```
A01D 4A        BOUC2 DECA
A01E 26   FD         BNE    BOUC2
A020 BC   A056       CMPX   $A056
A023 2D   EE         BLT    BOUC1
A025 1F   10         TFR    X,D

A027 B3   A054       SUBD   $A054
A02A 7F   E7C9       CLR    PORTB1
A02D B6   E7C8       LDA    PORTA1  CLAVIER
A030 81   FF         CMPA   #$FF
A032 24   DC         BHS    BOUC0
A034 1C   EF         ANDCC  #$EF
A036 35   FE         PULS   A,B,DP,X,Y,U,PC

          0000       END

00000 Total Errors
```

C'est ce programme assembleur qui est rentré en $A000 à l'aide de l'instruction POKE &HA000 + I, D et appelé ensuite par EXEC &HA000.
Pour générer d'autres types de sons il suffit de changer ligne 720 la formule de calcul des échantillons.

4.3 Le MODEM

L'extension TELETEL ($E7E8, $E7FF) contient un MODEM et un interface de raccordement direct à la ligne conformes aux normes (PTT et V23) appliquées pour le terminal annuaire et le terminal VELI7Y.

Modem pour TO7

Ce modem s'interface d'un côté au bus interne du micro-ordinateur et de l'autre à la ligne du réseau téléphonique commuté.
Il transmet les informations binaires provenant du terminal en mode synchrone et fonctionne en modulation par déplacement de fréquence.
Selon l'application, la transmission s'effectue :
• en 75/1200 bits/s duplex intégral dans le cas d'une liaison avec une banque de données ;
• en 1200/1200 bits/s alternat pour liaison entre ordinateurs.
Ce modem est conforme aux recommandations de l'avis V23 du CCITT.

	Fonctionnement 75/1200	Fonctionnement 1200
Débit d'information	1200 bits/s rec 75 bits/s em	1200 bits/s
Rapidité de modulation	1200 bauds rec/ 75 bauds em	1200 bauds
Mode de transmission	asynchrone	asynchrone
Type de modulation	déplacement de fréquence	déplacement de fréquence
Procédure de transmission	duplex intégral	alternat
Liaison à la voie de transmission :		
• Support de transmission	RC	RC
• Impédance aux accès	600Ω symétrique	600Ω symétrique
• Niveau émission	−2 et −10 dBm	−2 et −10 dBm
• Niveau réception	0 à −43 dBm	0 à −43 dBm
• Régulation du courant continu de ligne	automatique	automatique
Alimentation	−5V ± 12V	+5V/ ± 12V
Consommation	< 1,5W	< 1,5W
Température fonctionnement	5 °C à + 45 °C	5° C à +45 °C
Température stockage	−40 °C à + 70 °C	−40 °C à +70 °C
Humidité relative	≤ 80 %	≤ 80 %
Dimensions : H × L × P(mm)	70 × 70 × 50	70 × 70 × 50

Elle permet la consultation des banques de données en se branchant simplement sur la prise téléphone, et en utilisant la ROM contenant le logiciel de gestion de l'extension.
Le fonctionnement à 1200 bauds en half duplex permet la communication entre deux TO7 via la ligne PTT commutée ou entre un TO7 et un ordinateur ayant son propre protocole à condition de développer le logiciel de gestion approprié.
Ce modem contient un relais qui permet de basculer la ligne entre le poste et le TO7 ainsi qu'un circuit d'interface asynchrone ACIA 6850 de Motorola.

5. Le moniteur

5.1 Map Mémoire du T9000 et du TO7 Modèle 1

Map Mémoire du TO7 modèle 1

ADRESSE (HEX)

0000-3FFF	CARTOUCHE ROM ENFICHABLE 16K
4000-5FFF	MEMOIRE D'ECRAN 8K
6000-60FF	PAGE 0
6100-7FFF	MEMOIRE UTILISATEUR 8K
8000-BFFF	EXTENSION MÉMOIRE 16 K
C000-DFFF	8K LIBRE
E000-E7BF	1,9K POUR FLOPPY
E7C0-E7C7	PIA 6846 SYSTEME
E7C8-E7CB	PIA 6821 SYSTEME
E7CC-E7CF	PIA 6821 EXTENSION JEU
E7D0-E7DF	CONTROLEUR DE MINI-FLOPPY
E7E0-E7E3	PIA 6821 RS-232 ET INTERFACE PARALLELE
E7E4-E7FF	TELETEL
E800-FFFF	MONITEUR SYSTEME 6K

REVISION : 03/01/83

Map mémoire du TO7 modèle 2

ADRESSE (HEX)

0000-3FFF	CARTOUCHE ROM ENFICHABLE 16K
4000-5FFF	MEMOIRE D'ECRAN 8K
6000-60FF	PAGE 0
6100-9FFF	MEMOIRE UTILISATEUR 16K
A000-DFFF	EXTENSION MEMOIRE 16K PAGINABLE
E000-E7BF	1,9K POUR FLOPPY
E7C0-E7C7	PIA 6846 SYSTEME
E7C8-E7CB	PIA 6821 SYSTEME
E7CC-E7CF	PIA 6821 EXTENSION JEU
E7D0-E7DF	CONTROLEUR DE MINI-FLOPPY
E7E0-E7E3	PIA 6821 RS-232 ET INTERFACE PARALLELE
E7E4-E7FF	LOGIC GATE ARRAY
E7E8-E7FF	TELETEL 6850 ACIA
E800-FFFF	MONITEUR SYSTEME 6K

REVISION : 15/07/83

5.2 Page zéro du moniteur système du T9ØØØ

Adresse	Identificateur	Commentaires
$6ØØØ	TERMIN,25	Table des terminateurs de lignes
$6Ø19	STATUS,1	BIT7 = SEMIGRAPH, BIT6 = ROLLUP RAPIDE, BIT5 = INTERRUPT TIMER USER, BIT3 = CU.USER, BIT2 = CURSEUR, BIT1 = INCREMENT CLAVIER, BITØ = TOUCHE DEJA LUE
$6Ø1A	TABP,1	Forme avec RANG un pointeur courant de 16 bits dans la table des terminateurs de lignes
$6Ø1B	RANG,1	
$6Ø1C	TOPTAB,1	Forme avec TOPRAN un pointeur de 16 bits sur le sommet logique de la table des terminateurs
$6Ø1D	TOPRAN,1	1re rangée de la fenêtre
$6Ø1E	BOTTAB,1	Forme avec BOTRAN un pointeur de 16 bits sur la fin logique de la table des terminateurs
$6Ø1F	BOTRAN,1	Dernière rangée de la fenêtre
$6Ø2Ø	COLN,1	
$6Ø21	IRQTP,2	Pointeur IRQ utilisateur
$6Ø23	FIRQTP,2	Pointeur FIRQ utilisateur
$6Ø25	CC1PT,2	Pointeur INTERRUPT sur CC1
$6Ø27	TIMEPT,2	Pointeur INTERRUPT TIMER UTILISATEUR
$6Ø29	K7.OPC,1	Mot de code de l'opération cassette désirée
$6Ø2A	K7.STA,1	Status courant du contrôleur cassette
$6Ø2B	RS.OPC,1	Mot de code pour la liaison RS-232
$6Ø2C	RS.STA,1	Status courant de la liaison RS-232
$6Ø2D	USERAF,2	Pointeur sur le générateur de caractère usager
$6Ø2F	SW1,2	Pointeur SW1
$6Ø31	TEMPO,2	Tempo général de l'interpréteur musical
$6Ø33	DUREE,2	Durée
$6Ø35	TIMBRE,1	Timbre
$6Ø36	OCTAVE,2	Octave
$6Ø38	FORME,1	Couleur du PLOT et du DRAW (- 8 à + 7)
$6Ø39	ATRANG,1	BIT7 = SCRFUL, BIT2 = LARGEUR, BIT1 = HAUTEUR
$6Ø3A	ATRSCR,1	BIT7 = FOND, BIT6 = FORME, BIT2 = LARGEUR, BIT1 = HAUTEUR
$6Ø3B	COLOUR,1	X.X.B.V.R.B.V.R
$6Ø3C	TELETL,1	Flag de mode Teletel et PR.STA, BIT7 = MODE PAGE, BIT6 = ECHO
$6Ø3D	PLOTX,2	Dernier plot
$6Ø3F	PLOTY,2	Dernier plot
$6Ø41	CHDRAW,1	Caractères ASCII utilisés pour PSET, LINE et BOX "CH"
$6Ø42	CURSFL,1	Flag de mouvement curseur indiquant que l'on ne pose pas de liens de ligne dans la table des terminateurs
$6Ø43	COPCHR,1	Flag indiquant que BACKSPACE et HORIZONTAL TABULATION copient le caractère courant
$6Ø44	BAUDS,2	Paramètre de vitesse de la liaison RS232
$6Ø46	NOMBRE,1	Nombre de bits de transmission RS232 : 1 ou 2
$6Ø47	GRCODE,1	Code déclenchant le mode graphique de l'imprimante

PRIMITIVES DE DISQUE

$6Ø48	DK.OPC,1	MOT DE COMMANDE : code instruction utilisé par DKCONT pour appeler une commande paramétrée par les registres qui suivent
$6Ø49	DK.DRV,1	N° du disque sélecté
$6Ø4A	DK.TRK,2	N° de piste
$6Ø4C	DK.SEC,1	N° de secteur
$6Ø4D	DK.NUM,1	Nombre de secteurs en accès multiple
$6Ø4E	DK.STA,1	MOT D'ETAT : contient le code d'erreur signalé par C = 1 en sortie de DKCONT
$6Ø4F	DK.BUF,2	I/O BUFFER POINTER

REGISTRES COURANTS DE PISTE

$6Ø51	TRACKØ,2	Position courante de la tête sur le drive Ø
$6Ø53	TRACK1,2	Position courante de la tefe sur le drive 1
$6Ø55	TRACK2,2	Position courante de la tête sur le drive 2
$6Ø57	TRACK3,2	Position courante de la tête sur le drive 3

AUTRES REGISTRES

$6Ø59	SEQUCE,1	Ø = NORAML, 2 = ESCAPE, 4 = UNSEP, 6 = DEVCO2, 8 = DEVCO3
$6Ø5A	SCRPT,2	Pointeur d'écran
$6Ø5C	SAVCOL,1	Double de COLOUR
$6Ø5D	ASCII,1	Dernier caractère
$6Ø5E	KEY,1	Touche clavier
$6Ø5F	CMPTKB,1	REPEATS du clavier
$6Ø6Ø	STADR,2	1er octet définissant l'origine de la fenêtre
$6Ø62	ENDDR,2	Dernier octet définissant la fin de la fenêtre
$6Ø64	TCRSAV,1	Sauvegarde de l'ETAT courant du timer
$6Ø65	TCTSAV,2	Sauvegarde du COMPTE courant du timer
$6Ø67	BAUD,1	Paramètre de vitesse de transmission cassette
$6Ø68	SAVTR,2	Sauvegarde des attributs courants d'écran
$6Ø6A	US1,1	1er caractère des séquences UNIT SEPARATOR
$6Ø6B	COMPT,1	Compteur de caractères répétés
$6Ø6C	TEMP,2	Registre temporaire
$6Ø6E	SAVEST,2	Registre de sauvegarde de S
$6Ø7Ø	ACCENT,1	FLAG ACCENT 2 = affich. accent ; 1 = saut des 2 octets ; 3 = cédille

Adresse	Identificateur	Commentaires
$6Ø71	SS2GET,1	
$6Ø72	SS3GET,1	
$6Ø73	ABCMP,2	Compteur de la touche STOP pour avorter une lecture cassette
$6Ø75	EFCMPT,1	Flag de clignotement curseur
$6Ø76	BLOCZ,2	Bloc de deux Ø pour initialiser les registres 16 bits
$6Ø78	SCROLS,1	Flag de "smooth scroll"
$6Ø79	CHX1,2	Table des choix effectués au "menu" : 1er choix
$6Ø7B	CHRX2,2	Table des choix effectués au "menu" : 2e choix
$6Ø7D	CHRX3,2	Table des choix effectués au "menu" : 3e choix
$6Ø7F	RUNFLG,1	Flag indiquant une entrée en mode "RUN"

$6080	DKFLG,1	Flag indiquant la présence du contrôleur de disque
$6081	STKEND,80	Profondeur de la pile système
$60D0	STACK,* - 1	Sommet de la pile
$60D1	APPLIC,1	Checksum de l'application en cours
$60D2	DECALG,1	Décalage du light-pen
$60D3	LPBUFF,16	Buffer de saisie du light-pen
$60E3	NBPST,1	Nombre de pistes par face disque
$60E4	CPTSCT,1	Compteur de secteurs
$60E5	DTAB1,3	Zone de travail
$60E8	FTAB1,1	Fin de zone de travail DTAB1
$60E9	TAB2,2	ADRESS MARK CLOCKES $F5 $FE
$60EB	DTAB2,12	Zone de travail
$60F7	FTAB2,0	Fin de zone de travail DTAB2

Modifications TO7 Modèle 1

Adresse	Identificateur	Commentaires
$6019	STATUS,1	BIT3 = Flag interrupt clavier BIT1 supprimé sur le TO7
$6025	NMIPT,Z	Pointeur NMI utilisateur
$6067	LATCLV,1	Latence clavier programmable
$6073	BUZZ,1	Flag de buzzer : 0 = ON 1 = OFF
$60D2	DECALG,1	Décalage du light-pen : Il fonctionne en octets sur le T9000 et en points sur le TO7 modèle 1
$60D3	LPBUFF,24	Buffer de saisie du light-pen : 24 octets sur le TO7 modèle 1 au lieu de 16 sur le T9000
$60FE	TSTRST,2	Test du Reset

Modifications TO7 Modèle 2 (TO7-70)

Adresse	Identificateur	Commentaires
$6038	FORME,1	Couleur du PLOT et du DRAW, [-8,7] normal [8,15] pastel
$603B	COLOUR,1	1/2 teinte fond. 1/2 teinte forme. B.V.R.B.V.R.
$6081	STKEND,76	Profondeur de la pile système
$60CD	PTCLAV,2	Pointeur décodage clavier
$60CF	PTOENE,2	Pointeur générateur de caractère

5.3 Les adresses d'entrée-sortie

Adresses de l'écran

STAD	EQU	$4000
ENDAD	EQU	STAD + $1F40
CURSOR	EQU	STAD + $118 ORIGINE DE LA PREMIERE RANGEE
TELCUR	EQU	STAD + $258 ORIGINE DE LA DEUXIEME RANGEE
ORGROL	EQU	STAD + $140 ORIGINE DU ROLLUP
ORGDBL	EQU	STAD + $280 ORIGINE DU ROLLUP DOUBLE HAUTEUR
DERCUR	EQU	STAD + $F18 CURSEUR SUR LA DERNIÈRE LIGNE
DIRECT	EQU	$60 ADRESSE DE LA PAOE 0
	SETDP	DIRECT
INTERL	EQU	$28 SAUT INTERLIONE

Adresses d'entrée/sorties

6846

CSR	EQU	$E7C0	COMPOSITE STATUS REGISTER
CRC	EQU	CSR + 1	REGISTRE DE CONTRÔLE DU PORT C CC1 (input) est libre (IRQ externe sur T9000) CC2 (output) son CT0 (output) Ecriture sur la K7
DDRC	EQU	CSR + 2	REGISTRE DE DIRECTION DU PORT C
PRC	EQU	CSR + 3	REGISTRE DE DONNEES DU PORT C P0 (output) Forme P1 (input) Interrupteur crayon optique P2 (output) 1/2 teinte du tour : 0 = pastel, 1 = sature. Sur le T9000, c'était la commande de page couleur (desactivée) P3 (output) l ed clavier P4 (output) Rouge tour P5 (output) Vert tour P6 (output) Bleu tour P7 (input) Lecture K7
TCR	EQU	CSR + 5	TIMER CONTROL REGISTER
TMSB	EQU	CSR + 6	TIMER M.S.B.
TLSB	EQU	CSR + 7	TIMER L.S.B.

6821 SYSTEME

PRA	EQU	$E7C8	REGISTRE DE DONNEES DU PORT A PAØ-7 (input) Lecture matrice clavier
PRB	EQU	PRA+1	REGISTRE DE DONNEES DU PORT B P8Ø-7 (output) Ecriture matrice clavier
CRA	EQU	PRA+2	REGISTRE DE CONTROLE DU PORT A CA1 (input) Lecture de INITRAME CA2 (output) Commande moteur K7
CRB	EQU	PRA+3	REGISTRE DE CONTROLE DU PORT B CB1 (output) Commande de OUTPUT ENABLE sur T9ØØØ et TO7 modele 1, commande d'incrustation sur modele 2 : Ø=mode incruste, 1=mode normal (positionné à 1 par defaut comme pour OUTPUT ENABLE).

6821 JEUX

PRA1	EQU	$E7CC	REGISTRE DONNEES PORT A1 PAØ-7 (input) Lecture directions joysticks : Ø NordØ, 1 SudØ, 2 WestoØ, 3 EstoØ, 4 Nord1, 5 Sud1, 6 West1, 7 Est1
PRB1	EQU	PRA1+1	REGISTRE DONNEES PORT B1 PBØ-5 (input) Convertisseur digital/analogique sur 6 bits PB6 (input) Action joystick Ø PB7 (input) Action joystick 1
CRA1	EQU	PRA1+2	REGISTRE DE CONTROLE PORT A1 CA1 (input) Action joystick Ø
CRB1	EQU	PRA1+3	REOISTRE DE CONTROLE PORT B1 CB1 (input) Action joystick 1

6821 RS-232 ET INTERFACE PARALLELE CENTRONICS

PRA2	EQU	$E7EØ	REGISTRE DE DONNEES PORT A2 PAØ (output) Receive data PA1 (output) Clear to send PA5 (input) Request to send PA6 (input) Data terminal ready PA7 (input) Transmit data
PRB2	EQU	PRA2+1	REGISTRE DE DONNEES PORT B2 PBØ-7 (output) Données paralleles

TES.SRC

CRA2	EQU	PRA2+2	REGISTRE DE CONTROLE PORT A2 CA1 (input) Request to send
CRB2	EQU	PRA2+3	REGISTRE DE CONTROLE PORT B2 CB1 (input) Acknowledge CB2 (output) Strobe

Modifications TO7 Modèle 1

Circuit 6846 :

$E7C1	CRC	Registre de contrôle du PORT C : CC1 (input) est libre (IRQ sur le T9ØØØ)

Modifications TO7 Modèle 2 (TO7-7Ø)

Circuit 6821 système

$E7CB	CRB	Registre de contrôle du PORT B : CB1 (output) : — commande OUTPUT ENABLE sur T9ØØØ et TO7 modèle 1 — commande d'incrustation sur modèle 2 : Ø mode incrusté 1 mode normal positionné à 1 par défaut comme pour OUTPUT ENABLE
$E7C9	PRB	PBØ PB1 Adressage codé de la matrice clavier PB2 PB3 CS de la banque RAM 16K n° Ø PB4 CS de la banque RAM 16K n° 1 PB5 PB6 CS codé des banques de RAM 16K de l'extension PB7 mémoire 64K.

5.4 Les paramètres

Paramètres musicanx

	P	$30	MIb	RE#	$34		SO	$38	DOb	SI	$3C
	DO	$31		MI	$35	LAb	SO#	$39		UT	$3D
REb	DO#	$32		FA	$36		LA	$3A			
	RE	$33	SOb	FA#	$37	SIb	LA#	$3B			

Paramètres minicassette à 900 Bands

MOTEMP	EQU	33333	TEMPO POUR LANCER LA BANDE : 33333*30 = 1 SECONDE
VALO	EQU	6	(16-6)/2 = 5
VAL1	EQU	2	(16-2)/2 = 7
TEMP0	EQU	110	FREQUENCE DU "0" A 5 PULSES DE 4500 Hz
TEMP1	EQU	78	FREQUENCE DU "1" A 7 PULSES DE 6300 Hz
BAUCAS	EQU	27	Vitesse de transmission lecture cassette (figée sur le
BAUWT	EQU	142	Paramètre d'attente du dernier bit. TO7 modèle 1 alors qu'elle est programmable sur le T9000
K7.OPR	EQU	%00000001	OPEN EN LECTURE
K7.RDC	EQU	%00000010	LIRE UN OCTET
K7.OPW	EQU	%00000100	OPEN POUR ECRIRE
K7.WRT	EQU	%00001000	ECRIRE UN OCTET
K7.CLS	EQU	%00010000	CLOSE
K7.ABT	EQU	%01000000	CASSETTE READ ABORT
K7.NRD	EQU	%10000000	DEVICE NOT READY
MOTON	EQU	%1111011	MOTOR ON
MOTOFF	EQU	%0000100	MOTOR OFF

Paramètres liaison RS-232

RS.OPR	EQU	%00000001	OPEN EN READ/WRITE (RS-232)
RS.RDC	EQU	%00000010	LIRE UN OCTET
RS.OPW	EQU	%00000100	OPEN EN WRITE ONLY (RS-232)
RS.WRC	EQU	%00001000	ECRIRE UN OCTET
RS.CLS	EQU	%00010000	CLOSE
RS.CPY	EQU	%00100000	SCREEN GRAPHIC COPY (CENTRONICS)
RS.OPP	EQU	%01000000	OPEN EN WRITE PARALLELE (CENTRONICS)
RS.NRD	EQU	%10000000	DEVICE NOT READY
TXDATA	EQU	%10000000	TRANSMIT DATA (input) : mark = 1, start = 0, positif
DTTRMN	EQU	%01000000	DATA TERMINAL READY (input) : ready = 0, Busy = 1
REQTS	EQU	%00100000	REQUEST TO SEND (input) : request = 0
CLRTS	EQU	%00000010	CLEAR TO SEND (output) : clear = 0
RXDATA	EQU	%00000001	RECEIVE DATA (output) : mark = 1, start = 0, positif

6. Les trucs du TO7

6.1 Précautions à prendre sur la première version du moniteur

Version T9000 :

Les bugs répertoriés sur la première version du moniteur sont les suivants :

1 — Le DRAW xy en horizontal détruit le registre U

2 — Avant de faire Form Feed, il faut au paravant avoir effacé le curseur (envoyer le caractère DC4).

3 — Après écriture de certains caractères spéciaux, le curseur ne s'efface pas.

4 — Ne pas faire VT en première ligne de fenêtre en mode page.

5 — Le DRAW xy d'un vecteur horizontal en mode ''caractère'' détruit la mémoire après $8000.

6 — Pour régler le light-pen en cours de développement, il faut faire un Patch en 60D2 et mettre la valeur 01 au lieu de 02.

6.2 Autotest 1

Un programme a été conçu, qui permet de vérifier le bon fonctionnement des circuits du TO7 et de son lecteur-enregistreur de programmes.

Ce programme AUTOTEST1 est constitué d'une cartouche Mémo7 et d'une bande étalon.

Les messages d'erreurs ou d'instructions peuvent être affichés au choix dans l'une des 4 langues suivantes :

Français — Anglais — Allemand — Espagnol

Neuf tests sont proposés :

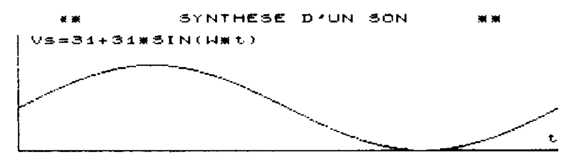
— Le test n° 0 où tous les tests se déroulent les uns après les autres
— Le test n° 1 où les tests 2, 3, 4, et 8 se déroulent en continu
— Le test n° 2 des ROM
— Le test n° 3 des RAM
— Le test n° 4 des couleurs
— Le test n° 5 du clavier
— Le test n° 6 du crayon optique
— Le test n° 7 du magnétoscope
— Le test n° 8 des straps

6.3 Le son

* La combinaison des programmes de gestion du générateur de son et de la recopie d'écran sur l'imprimante en mode graphique permet de synthétiser des sons tout en les visualisant sur l'écran et en recopiant leur équation et leur courbe sur papier. C'est ce que fait le programme ci-après :

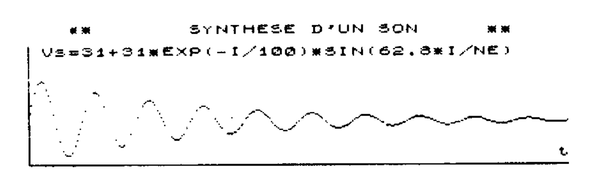
```
120 SCREEN2,4,4:CONSOLE0,24:CLS
130 LOCATE0,0,0:PRINT"   **        SYNTHESE D'UN SON     **"
140 CLEAR,&H9FFF
150 DIM ECH(900)
160 '
170 '--------INIT. DU PIA------------
180 '
190 POKE &HE7CF,0    'Acces a DDRB
200 POKE &HE7CD,&H3F 'B0 a B5 en SORTIE
210 POKE &HE7CF,&H04 'Acces au PORTB
220 '
230 '-----ROUTINE ASSEMBLEUR-----------
240 '
250 FOR I=0 TO 57
260 READ I
270 POKE &HA000+I,D
280 NEXTI
290 '
300 DATA &H34,&H7E
310 DATA &H1A,&H10
320 DATA &HFC,&HA0,&H52
330 DATA &HF3,&HA0,&H54
340 DATA &HFD,&HA0,&H56
350 DATA &HBE,&HA0,&H52
360 DATA &HF6,&HA0,&H51
370 DATA &H30,&H85
380 DATA &HA6,&H94
390 DATA &HB7,&HE7,&HCD
400 DATA &HB6,&HA0,&H50
410 DATA &H4A
420 DATA &H26,&HFI
430 DATA &HBC,&HA0,&H56
440 DATA &H20,&HEE
450 DATA &H1F,&H10
460 DATA &HB3,&HA0,&H54
470 DATA &H1F,&H01
480 DATA &H7F,&HE7,&HCF
490 DATA &HB6,&HE7,&HC8
500 DATA &HB1,&HFF
510 DATA &H24,&HDA
520 DATA &H1C,&HEF
```

```
530 DATA &H35,&HFE
540 '
550 '------CALCUL DES ECHANTILLONS---
560 '
565 RESTORE 1000
566 READX,X$
570 CONSOLE15,24:CLS:LOCATE0,15,0
575 IF X$="FIN" THEN PRINT"IL N'Y EN A PLUS !":END
580 INPUT"NOMBRE D'ECHANTILLONS (800 MAX) : ",NE
590 INPUT"TEMPORISATION (de 0 a 255) : ",TE
600 INPUT "PAS DE PRELEVEMENT : ",PAS
610 PRINT:PRINT:COLOR1:ATTRB1,1:PRINT"SILENCE, JE CALCULE":COLOR2:ATTRB0,0
620 POKE &HA050,TE     'Duree de Tempo
630 POKE &HA051,PAS    'Pas d'echantil
640 POKE &HA052,&HB0   'Debut de la tabl
650 POKE &HA053,&H00   'd'echantillonage
660 POKE &HA054,NE \ 256       'Nombre
670 POKE &HA055,NE MOD 256     'd'echant
680 CONSOLE2,12:CLS:LOCATE0,2,0
690 LINE(0,16)-(0,100),6
700 LINE(0,100)-(320,100),6
710 LOCATE1,2:PRINTCHR$(24);"Vs=";I$;:LOCATE39,11:PRINT"t";
720 W=6.28
730 ON X GOTO 740,741,742,743
740 FORI=0 TO NE-1:ECH(I)=31+31*SIN(W*I/NE):NEXTI:GOTO770
741 FORI=0 TO NE-1:ECH(I)=31+31*EXP(-I/100)*SIN(10*W*I/NE):NEXTI:GOTO770
742 FORI=0 TO NE-1:ECH(I)=31+31*EXP(-I/20)*SIN(100*W*I/NE):NEXTI:GOTO770
743 FORI=0 TO NE-1:ECH(I)=31+31*EXP(-I/100)*SIN(10*W*SIN(628*I/NE)):NEXTI:GOTO77
0
770 IF NE>320 THEN NE=320
780 FOR I=0 TO NE-1 STEP PAS
790 FOR J=0 TO PAS-1
800 PSET(I+J,100-ECH(I)),3
810 NEXTJ,I
820 '
830 '--------SYNTHESE D'UN SON---------
840 '
845 LOADM"GRAPH":POKE&HE7C3,1:EXEC&HB000
850 EXEC &HA000
860 FORN=1TO100:NEXTN
870 CONSOLE15,24:CLS:LOCATE0,15,0:INPUT"VOULEZ-VOUS UN AUTRE SON? : ",R$
875 IF LEFT$(R$,1)="O" THEN X=X+1:READ X,X$
880 GOTO570
1000 DATA 1,"31+31*SIN(W*t)"
1002 DATA 2,"31+31*EXP(-I/100)*SIN(62.8*I/NE)"
1003 DATA 3,"31+31*EXT(-I/20)*SIN(628*W*I/NE"
1004 DATA 4,"31+31*EXP(-I/100)*SIN(62.8*SIN(628*I/NE))"
1010 DATA 99,FIN
```

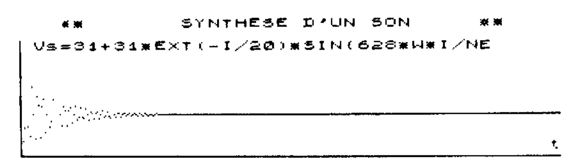
NOMBRE D'ECHANTILLONS (800 MAX) : 320
TEMPORISATION (de 0 a 255) : 1
PAS DE PRELEVEMENT : 1

SILENCE, JE CALCULE



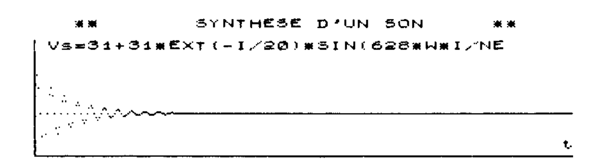
NOMBRE D'ECHANTILLONS (800 MAX) : 320
TEMPORISATION (de 0 a 255) : 1
PAS DE PRELEVEMENT : 1

SILENCE, JE CALCULE



NOMBRE D'ECHANTILLONS (800 MAX) : 320
TEMPORISATION (de 0 a 255) : 1
PAS DE PRELEVEMENT : 1

SILENCE, JE CALCULE




```
NOMBRE D'ECHANTILLONS (800 MAX) : 800
TEMPORISATION (de 0 à 255) : 1
PAS DE PRELEVEMENT : 1
```

SILENCE. JE CALCULE

```
**          SYNTHESE D'UN SON          **
Vs=
31+31*EXP(-I/100)*SIN(62.8*SIN(628*I/NE)
```

t

```
NOMBRE D'ECHANTILLONS (800 MAX) : 320
TEMPORISATION (de 0 à 255) : 1
PAS DE PRELEVEMENT : 1
```

SILENCE. JE CALCULE

```
**          SYNTHESE D'UN SON          **
Vs=
31+31*EXP(-I/100)*SIN(62.8*SIN(628*I/NE)
```

t

```
NOMBRE D'ECHANTILLONS (800 MAX) : 200
TEMPORISATION (de 0 à 255) : 1
PAS DE PRELEVEMENT : 1
```

SILENCE. JE CALCULE

* Pour supprimer le BEEP qui accompagne une action au clavier il suffit de mettre le flag du buzzer BUZZ à 1 en faisant par exemple
POKE &H6073,1
Pour le retrouver, mettez-le à zéro.

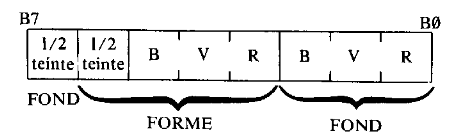
7. Le TO7-7Ø

Les principales modifications du TO7 modèle 2 (TO7-7Ø) vont permettre :
— d'obtenir 16 couleurs sur l'écran : les 8 couleurs saturées du modèle 1, plus 8 couleurs pastel (ou 1/2 teinte)
— de gérer 48K de RAM utilisateur dans l'unité centrale, dans lesquelles 2 × 16K sont aux mêmes adresses. La sélection d'une banque de 16K se faisant grâce aux bits PB3 et PB4 du 6821 système dont la gestion a été modifiée en conséquence.
— d'augmenter la puissance mémoire utilisateur de 64K de RAM constituées de 4 banques de 16K placées aux mêmes adresses que les deux banques système (de $AØØØ à $DFFF) et gérées par les bits PB5-PB6-PB7 du PIA 6821 système.
— d'avoir une précision horizontale de 32Ø de points avec le light-pen.
Ces modifications ont été rendues possibles grâce à une intégration à haute densité des circuits dans un "GATE ARRAY MOTOROLA MCA 13ØØ".
La compatibilité reste totale sur le plan logiciel entre tous les systèmes T9ØØØ-TO7 Modèle 1 et TO7-7Ø.

7.1 Gestion des couleurs

Dans le TO7 modèle 2 (TO7-7Ø) la mémoire point occupe toujours 8K RAM de $4ØØØ à $5FFF en parallèle sur la mémoire couleur. Mais cette fois, la mémoire couleur est une RAM de 8K octets au lieu des 8K × 6 bits des précédents modèles.
Les deux bits supplémentaires (B6 et B7) sont utilisés pour sélectionner les teintes, saturées ou pastel, du FOND ou de la FORME, de la façon suivante :
— B6 sélectionne la 1/2 teinte forme
— B7 sélectionne la 1/2 teinte fond
— Un bit à Ø indique une couleur pastel
— Un bit à 1 indique une couleur saturée
Dans le TO7 modèle 1 ces deux bits étaient forcés à 1 ce qui forcera les couleurs saturées dans le modèle 2, les rendant ainsi compatible.
Chaque octet de la RAM couleur est donc conforme au schéma suivant :

OCTET DE LA RAM COULEUR



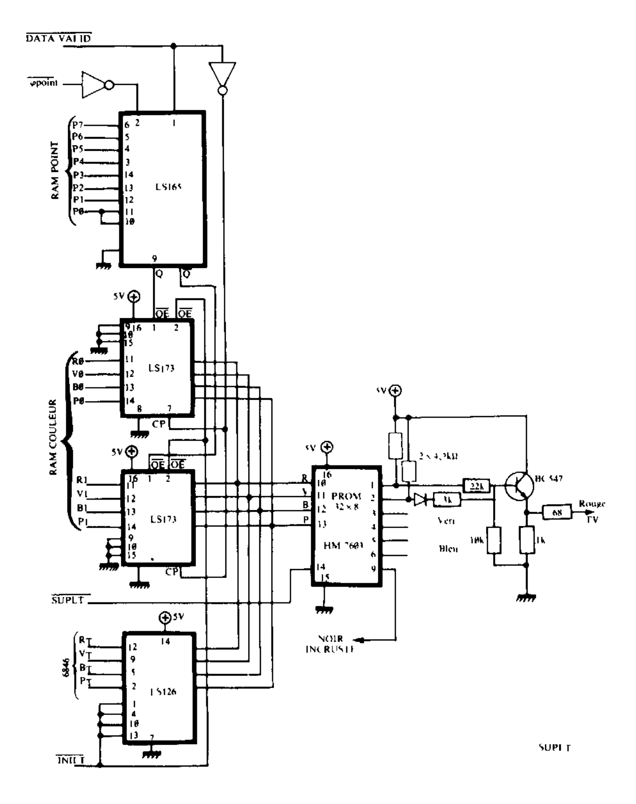
C'est toujours le bit de forme PØ du PORTC du 6846 qui sélectionne (par l'intermédiaire du GATE ARRAY cette fois) la RAM point de la RAM couleur :
— PØ à Ø → RAM couleur
— PØ à 1 → RAM point
Les 16 couleurs seront donc les suivantes :

1/2 teinte.	B.	V.	R	Couleurs
Ø	Ø	Ø	Ø	GRIS
Ø	Ø	Ø	1	ROSE
Ø	Ø	1	Ø	VERT CLAIR
Ø	Ø	1	1	JAUNE POUSSIN
Ø	1	Ø	Ø	BLEU CIEL
Ø	1	Ø	1	ROSE PARME
Ø	1	1	Ø	CYAN CLAIR
Ø	1	1	1	ORANGE
1	Ø	Ø	Ø	NOIR
1	Ø	Ø	1	ROUGE
1	Ø	1	Ø	VERT
1	Ø	1	1	JAUNE
1	1	Ø	Ø	BLEU
1	1	Ø	1	MAGENTA
1	1	1	Ø	CYAN
1	1	1	1	BLANC

En mode caractère, toutes les teintes sont accessibles, aussi bien pour la forme que pour le fond.
Par contre, en mode graphique, l'accès aux couleurs du FOND se fait en mettant dans le registre FORME ($6Ø38) un nombre négatif, ce qui force le bit de 1/2 teinte FOND à 1 donc ne donne accès qu'aux teintes saturées.
Le TOUR a également accès aux 16 couleurs. Les 3 teintes de base B.V.R. sont obtenues sur le modèle 1 et le T9ØØØ sur les sorties PC4, PC5 et PC6 du PORTC du 6846 et la 1/2 teinte est obtenue sur la sortie PC2 du même PORTC avec :
PC2 à Ø → 1/2 teinte pastel
PC2 à 1 → teinte saturée
La sérialisation et le multiplexage des teintes TOUR, FOND, FORME a été réalisé à l'aide :
— de deux circuits 74LS173 contenant chacun 4 bascules D à sorties 3 états. Ces deux circuits sont montés en sorties communes et sélectionnés l'un pour les teintes de FORME, l'autre pour les teintes de FOND par les bits Ø ou 1 en provenance d'un sérialisateur des données de la RAM point.
— d'un sérialisateur, (registre à décalage 8 bits à sortie série et chargement parallèle) 74LS165, dont les sorties Q et $\overline{Q}$ sélectionnent le boîtier fournissant les teintes de FORME si Q = 1, ou celui qui fournit les teintes de FOND si Q = Ø. Quant Q est à 1, Q est à Ø et fait passer les sorties du boîtier non sélectionné à l'état haute-impédance.

— d'un quadruple buffer 3 états 74LS126, sélectionné par le signal $\overline{\text{INILT}}$ quand il est à 1. Les entrées de ce circuit reçoivent les 4 commandes de couleur du TOUR en provenance des bits PC2-PC4-PC5-PC6 du PORTC du 6846. Les sorties de ce circuit sont communes avec celles des deux bascules 74LS173.

Sérialisation, sélection et palettisation des couleurs



Le signal $\overline{\text{INILT}}$ quand il est à 1 sélectionne les teintes du TOUR et fait passer à l'état haute-impédance les 2 boîtiers 74LS173 de commande des teintes FORME et FOND.

— La restitution des différentes teintes à partir de leur code binaire sur 4 bits est obtenue par une ROM bipolaire 32×8 type 76Ø3.

Six sorties de cette mémoire servent à la restitution des teintes. Une autre sortie permet le décodage du noir saturé, couleur retenue pour assurer la transparence lors du mode incrusté.

La sérialisation des 8 bits d'une mémoire point se fait à la vitesse de l'horloge Q point (8MHz).

La validation des bascules 74LS173 est commandée par $\overline{\text{DATAVALID}}$.

7.2 Gestion de la mémoire RAM utilisateur

L'utilisateur dispose de 48K octets RAM implantés comme suit :

— de 6ØØØ à 9FFF se trouvent 169 octets

— de AØØØ à DFFF se trouvent 2×16K octets commutables.

On peut accéder à chaque bloc de 16K par mise à 1 sort de PB3 (PORTB du 6821 système) soit de PB4.

Dans les 16 premiers kilos de RAM, les premières adresses de $6ØØØ à $6ØFF sont réservées au système (page zéro).

D'autre part une extension mémoire de 64K peut être connectée au TO7-7Ø.

Cette extension est constituée de 4 blocs de 16K en parallèles entre les adresses $AØØØ et $DFFF, ce qui porte à six le nombre de "banques" de mémoires 16K.

Les quatre "banques" de l'extension sont sélectionnées par les bits PB5-PB6 et PB7 du PORTB du 6821 système.

La routine de commutation ci-dessous permet de sélecter une banque au choix parmi les six. L'accumulateur A doit contenir le numéro de la banque (de Ø à 5) avant l'appel de ce sous-programme.

```
****************************************
*                                      *
*         ROUTINE "COMMUT"             *
*                                      *
*    Permet de selectionner une        *
*  banque de 16k parmi 6.              *
*                                      *
*  ENTREE : A = numero de la banque    *
*               de 0 a 5               *
*                                      *
****************************************
```

```
                0000 COMMUT EQU    *
0000 34   56            PSHS   D,X,U
0002 CE   E7C0          LDU    #$E7C0
0005 E6   4B            LDB    11,U
0007 C4   FB            ANDB   #$FB
0009 E7   4B            STB    11,U
000B 8E   0018          LDX    #TAB
000E A6   86            LDA    A,X
0010 A7   49            STA    9,U
0012 CA   04            ORB    #$04
0014 E7   4B            STB    11,U
0016 35   D6            PULS   D,X,U,PC

                0018 TAB  EQU    *
0018      0F            FCB    $0F
0019      17            FCB    $17
001A      E7            FCB    $E7
001B      67            FCB    $67
001C      A7            FCB    $A7
001D      27            FCB    $27
```

7.3 Nouvelle gestion du clavier

Dans le T9ØØØ et le TO7 modèle 1, le clavier était matricé 8×8 à l'aide du PORTA programmé en entrée et du PORT programmé en sortie du 6821 système.
Dans le TO7 modèle 2, le PORTA fonctionne de la même façon et lit donc $FF quand aucune touche n'est enfoncée. Par contre le procédé de scanning se fait grâce à un décodeur adressé par les 3 bits PBØ — PB1 et PB2 du PORTB du 6821, puisqu'on a vu précédemment que les bits restant de ce PORTB permettaient la gestion des "banques" de données.
Le décodage se fait selon le code suivant :

PB2	PB1	PBØ	Ancienne ligne	Lettres
Ø	Ø	Ø	PB_7	6 - 7 - Y - U - H - J - EFF - N
Ø	Ø	1	PB_6	5 8 T I G K INS ,
Ø	1	Ø	PB_5	4 9 R O F L .
Ø	1	1	PB_4	3 Ø E P D M →
1	Ø	Ø	PB_3	2 - Z / S B ↓ SP
1	Ø	1	PB_2	1 + A * Q V ← X
1	1	Ø	PB_1	STOP ACC CNT ENT RAZ C ↑ W
1	1	1	$PB_Ø$	SHIFT
				PA_7 PA_6 PA_5 PA_4 PA_3 PA_2 PA_1 $PA_Ø$

7.4 Le "Gate-Array" Motorola MC 13ØØ ALS

Le "Gate-Array" de Motorola est un ensemble de cellules logiques (portes, bascules, additionneurs...) isolées les unes des autres et cablées à la demande par ordinateur sous contrôle d'un logiciel d'aide, le C.A.D. (Computer Aided Design).
Le choix d'une technologie rapide (ECL + MOSAIC) a permis une grande densité d'intégration et donc une économie.
Dans le TO7-7Ø, le gate-array a 3 fonctions principales :
— *la gestion vidéo :* signaux de suppression lignes, trames, synchronisation des signaux...
— *la gestion des adresses multiplexée*
— *la gestion du light-pen*
1. Pour permettre cette gestion complexe, le gate-array reçoit les signaux suivants :
— $R/\overline{W}$ (51) en provenance du 68Ø9
— $\overline{CKLP}$ (58) en provenance du light-pen
— SYCL (57) qui permet la remise à zéro des compteurs lignes et trames, pour une synchronisation par une source vidéo externe (incrustation).
— H16 (59) Horloge 16 MHz destinée aux compteurs lignes et trames ainsi qu'au divers décodeurs fournissant les signaux d'horloge E, Q, CLOCK, $\overline{E}$, $\overline{\varphi point}$, $\overline{DATA\ VALID}$ et $\overline{RAS}$.
Cette horloge H16 provient d'un quadruple multiplexeur 1 parmi 2 (75LS157) commandé par le CB2 du 6821 système, synchronisé avec le front montant du signal d'horloge E.
Suivant la valeur de CB2 l'horloge H16 reçoit les signaux en provenance de l'oscillateur à quartz 16 MHz, ou d'un oscillateur piloté par tension (VCO) interne à l'extension d'incrustation.
— AØ-A15 en provenance du 68Ø9

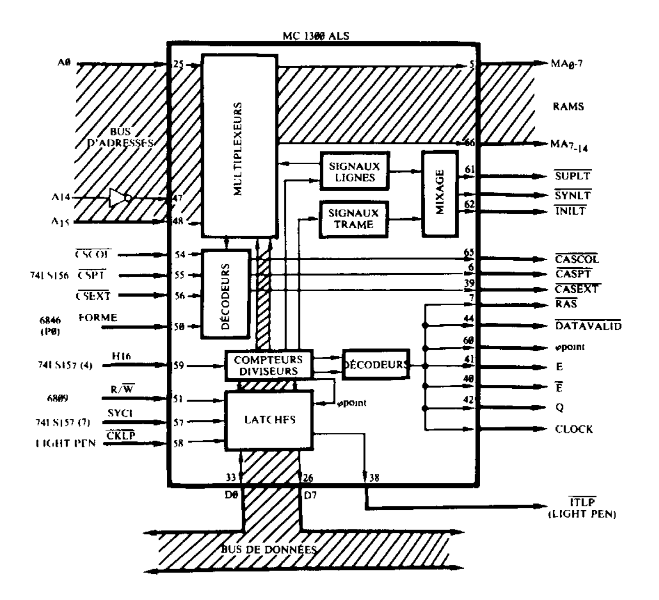
— $\overline{\text{CSCOL}}$, $\overline{\text{CS PT}}$, $\overline{\text{CS EXT}}$ (54, 55, 56) en provenance d'un multiplexeur 74LS156 monté en décodeur d'adresse (A_{13}, A_{14}, A_{15}) et qui avec le bit FORME généreront les signaux de sélection des RAMS couleur, point et extension.
— FORME (5Ø) en provenance du 6846 (bit Ø du PORTC) qui permettra la sélection mémoire point/mémoire couleur.

2. A l'aide du signal d'horloge H16, le gate-array fabrique :
— H4 Horloge interne 4 MHz
— H2 Horloge interne 2 MHz
— H1 Horloge interne 1 MHz
— *Un compteur ligne interne* incrémenté par H1 (1 MHz), sur 6 bits : TLØ, TL1, TL2, LT3, LT4 et LT5.
Ce compteur compte de ØØ à $3F en 64μs, durée d'une ligne.
— *Un compteur trame interne* incrémenté par TL2, ce compteur indique le nombre de groupes de 8 octets.
Sachant qu'il y a 8 groupes de 8 octets (64 GPL) par ligne et que le TO7 balaye 312 lignes, il faut donc que ce compteur puisse compter jusqu'à $8 \times 312 = 2496$.
Ce sera donc un compteur 11 bits, de T3 à T13.

3. Les signaux d'entrées et les compteurs internes fournissent les sorties suivantes :
— φ point (6Ø) signal 8 MHz permettant la sérialisation des octets de la mémoire point (74LS165) en 1μs.
— E (41) et $\overline{\text{E}}$ (4Ø) signaux d'horloge 1 MHz pour la gestion du 68Ø9E, en opposition de phase.
— Q (42) signal d'horloge 1 MHz pour le 68Ø9E en quadrature avec E.
— CLOCK signal d'horloge 2 MHz pour la gestion des RAMS.
— $\overline{\text{RAS}}$ (7) signal permettant l'accès en ligne des mémoires dynamiques.
— $\overline{\text{DATA VALID}}$ (44) signal de validation des données.
— $\overline{\text{CAS COL}}$ (65) signal permettant l'accès colonne de la RAM couleur.
— $\overline{\text{CAS PT}}$ (6) signal permettant l'accès colonne de la RAM point.
— $\overline{\text{CAS EXT}}$ (39) signal permettant l'accès colonne aux RAM d'extension.
— $MA_{0\text{-}7}$ à $MA_{7\text{-}14}$ adresses multiplexées de gestion des mémoires dynamiques.
* Si E = Ø → cycle de rafraîchissement de la mémoire d'écran. C'est alors l'état des compteurs du Gate-Array qui est présent sur les sorties d'adresses multiplexées.
* Si E = 1, ce sont alors les adresses $A_{0\text{-}15}$ du 68Ø9 qui se retrouvent multiplexées sur les sorties du Gate-Array. Pendant cette phase le 68Ø9 peut lire ou écrire en RAM.
— $\overline{\text{SUPLT}}$ (61) signal de suppresssion ligne-trame qui permet d'inhiber les signaux RVB par action sur la ROM de codage des couleus HM3-76Ø3.
— $\overline{\text{INILT}}$ (62) signal d'inhibition ligne-trame empêchant d'écrire sur l'écran le contenu des RAMS en dehors de la fenêtre (patte 2 des 74LS173) et permettant au contraire la sélection des couleurs du cadre (pattes 1-4-1Ø-13 du 74LS126) (et vice-versa).

— SYNLT signal de synchronisation ligne-trame.

Synoptique et fonctionnement du "GATE-ARRAY" TO7 70



4. D'autre part on peut lire l'état des compteurs internes du Gate-Array sur le bus de données, en l'adressant selon le tableau ci-dessous :

BUS DE DONNÉES

	D7	D6	D5	D4	D3	D2	D1	DØ
$E7E4	T12	T11	T1Ø	T9	T8	T7	T6	T5
$E7E5	T4	BUS	T3	TL2	TLØ	H1	H2	H4
$E7E6	LT3	INIL	Ø	Ø	Ø	Ø	Ø	Ø
$E7E7	INIT	Ø	Ø	Ø	Ø	Ø	Ø	Ø

7.5 La gestion du light-pen

Lorsque par programme l'utilisateur demande au TO7-7Ø une lecture du light-pen, alors une routine particulière est mise en œuvre, dont le premier effet est de valider l'entrée du signal $\overline{CKLP}$.
Cette validation se fait par mise à 1 de DØ à l'adresse du Gate-Array $E7E4.
Lorsque le photo-transistor du crayon-optique sera face *au bit* allumé, l'entrée $\overline{CKLP}$ passera de Ø à 1. Ce front montant, coïncidant avec le passage du spot sur l'écran, donnera l'ordre de stocker dans des registres latchs l'état de l'ensemble des compteurs.
Il suffira alors au 68Ø9 de lire, des adresses $E7E4 à $E7E7, l'état de ces compteurs, pour connaître *avec la précision du point* la position du light-pen.
En effet :
— la connaissance du compteur trame (de T3 à T13) lui donne le numéro du groupe de 8 GPL détecté
— puis la connaissance de TLØ, TL1, TL2 lui donne le numéro du GPL détecté dans le groupe
— pui la connaissance de H4, H2, H1, lui donne la position *du bit* détecté dans le GPL.
Le TO7-7Ø à la différence du T9ØØØ et du TO7-Modèle 1 accède donc *au point ligne* avec le crayon-lumineux.

7.6 L'incrustation

Incruster une image TO7 sur une image vidéo analogique (magnétoscope, caméra...), c'est superposer sur cette image, l'image digitale de l'ordinateur.
Une électronique de gestion existant dans un boîtier d'extension permettra, lorsque l'on fera la demande d'incrustation (par passage à Ø du CB2 du 6821) :

— de relier l'horloge H16 (entrée du GATE ARRAY) à une horloge utilisant une boucle à verrouillage de phase (PLL-MC4Ø46 et VCO-16MHz) afin d'asservir la synchronisation ligne du TO7 à celle de la source vidéo.
— de relier au GATE-ARRAY le signal CLRG qui permettra une remise à zéro générale des compteurs lignes et trames alors qu'ils auront déjà compté une ligne.
Ce signal CLRG en provenance du multiplexeur 74LS157 commandé par CB2 sera en effet appliqué à l'entrée SYL (57) du GATE-ARRAY.
L'effet de cette remise à zéro sera de compter une ligne de plus, ce qui permettra au TO7 de rattraper la fréquence trame du signal vidéo analogique en comptant 625 lignes au lieu des 624 en fonctionnement normal.
Rappelons que c'est également grâce au nouveau système de codage des couleurs que l'on peut obtenir une couleur *noire* (dite noir incrusté) qui servira de couleur *transparente* à l'image vidéo.